

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 3 月 27 日 (27.03.2003)

PCT

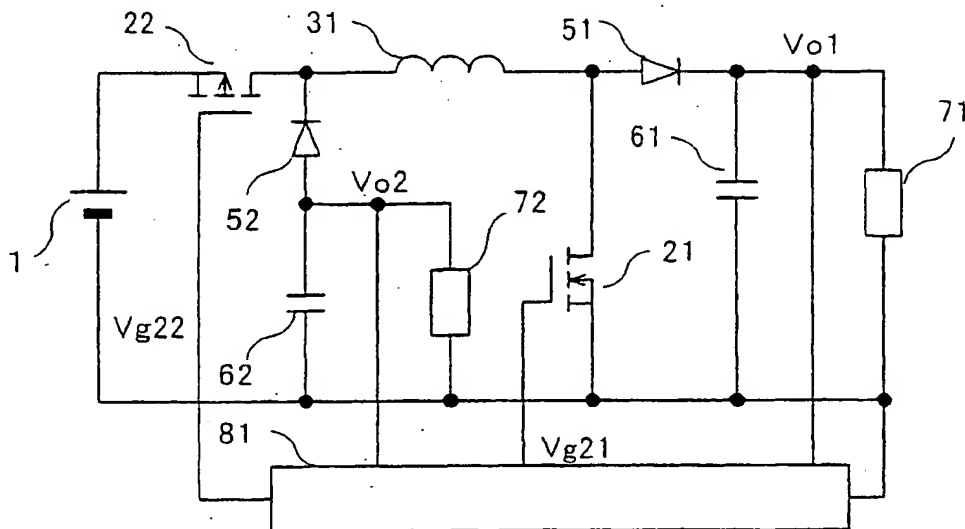
(10) 国際公開番号
WO 03/026116 A1

- (51) 国際特許分類⁷: H02M 3/28 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 石井 卓也
(21) 国際出願番号: PCT/JP02/09064 (ISHII, Takuya) [JP/JP]; 〒564-0063 大阪府 吹田市
江坂町 2-3 0-5 Osaka (JP). 長湯 信義 (NAGA-
(22) 国際出願日: 2002 年 9 月 5 日 (05.09.2002) GATA, Nobuyoshi) [JP/JP]; 〒614-8331 京都府 八幡
市 橋本意足 3 2-7 Kyoto (JP). 齊藤 浩 (SAITO, Hi-
(25) 国際出願の言語: 日本語 roshi) [JP/JP]; 〒144-0046 東京都 大田区 東六郷
3-1-1-8 1 5 Tokyo (JP).
(26) 国際公開の言語: 日本語 (74) 代理人: 東島 隆治 (HIGASHIMA, Takaharu); 〒530-
0001 大阪府 大阪市 北区梅田 3 丁目 2-1 4 大弘ビル
(30) 優先権データ: 特願 2001-276279 2001 年 9 月 12 日 (12.09.2001) JP 東島特許事務所 Osaka (JP).
(71) 出願人 (米国を除く全ての指定国について): 松下電 器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP). (81) 指定国 (国内): CN, US.
(84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: MULTI-OUTPUT DC-DC CONVERTER

(54) 発明の名称: 多出力 DC-DC コンバータ



(57) Abstract: A multi-output DC-DC converter for supplying a regulated DC voltage to loads with high efficiency by a structure of a small number of components, comprising a first main switch (21) one end of which is connected to the cathode of an input DC power supply (1), first rectifier means (51) and first smoothing means (61) both connected to the other end of the first main switch (21), a second main switch (22) one end of which is connected to the anode of the input DC power supply (1), second rectifier means (52) and second smoothing means (62) both connected to the other end of the second main switch (22), an inductor (31) connected between the other end of the first main switch (21) and the other end of the second main switch (22), and a control circuit (81) for driving the switches at a predetermined on-off period ratio.

[続葉有]

WO 03/026116 A1



— 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

少ない部品点数で高効率に複数の負荷に制御された直流電圧を供給するために、本発明の多出力DC-DCコンバータは、入力直流電源1の負極に一端が接続された第1の主スイッチ21と、第1の主スイッチ21の他端に接続された第1の整流手段51と第1の平滑手段61と、入力直流電源1の正極に一端が接続された第2の主スイッチ22と、第2の主スイッチ22の他端に接続された第2の整流手段52と第2の平滑手段62と、第1の主スイッチ21の他端と第2の主スイッチ22の他端との間に接続されたインダクタ31と、各スイッチを所定のオンオフ期間比で駆動する制御回路81とから構成されている。

明 細 書

多出力 D C - D C コンバータ

技 術 分 野

本発明は各種電子機器、例えば携帯機器に搭載される液晶パネル等の駆動用電源に用いられ、バッテリー等の直流電圧が入力されて複数の負荷に負電圧を含む制御された直流電圧を供給する多出力 D C - D C コンバータに関する。

背 景 技 術

直流電圧が入力されて複数の負荷に制御された直流電圧を供給する多出力 D C - D C コンバータに関する従来の技術としては、図 1 3 に示すような構成のものがある。図 1 3 に示す従来の多出力 D C - D C コンバータは、携帯機器に搭載される液晶パネルの駆動用電源である。この多出力 D C - D C コンバータにおいては、バッテリーを入力電源 1 として入力直流電圧 $E_i = 2.5 \sim 3.3$ V が供給され、ソースドライブ用電圧として第 1 の出力電圧 $V_{out1} = 3.5$ V が出力され、正負のゲートドライブ用電圧として第 2 の出力電圧 $V_{out2} = 13.5$ V 及び第 3 の出力電圧 $V_{out3} = -13.5$ V が出力される。第 1 のコンバータ 100 もは、N チャネル MOS FET からなる第 1 の主スイッチ 102、第 1 のイ

インダクタ 103、第1の出力ダイオード 105 及び第1の出力コンデンサ 106 が設けられている。第1のコンバータ 100 により、第1の出力コンデンサ 106 から第1の負荷 107 へ第1の出力電圧 V_{out1} を出力する昇圧コンバータが構成されている。第1の制御回路 108 は第1の出力電圧 V_{out1} を制御するために、第1の主スイッチ 102 のオンオフ比を調整する。第2のコンバータ 200 には、Nチャネル MOSFET からなる第2の主スイッチ 202、第2のインダクタ 203、第2の出力ダイオード 205 及び第2の出力コンデンサ 206 が設けられている。この第2のコンバータ 200 により、第2の出力コンデンサ 206 から第2の負荷 207 へ第2の出力電圧 V_{out2} を出力する昇圧コンバータが構成されている。第2の制御回路 208 は第2の出力電圧 V_{out2} を制御するように、第2の主スイッチ 202 のオンオフ比を調整する。第3のコンバータ 300 には、第2の出力電圧 V_{out2} が入力され、第1のスイッチ 301、第2のスイッチ 302、コンデンサ 303、第1のダイオード 304、第2のダイオード 305 及び第3の出力コンデンサ 306 が設けられている。この第3のコンバータ 300 により、第3の出力コンデンサ 306 から第3の負荷 307 へ第3の出力電圧 V_{out3} を出力する反転型スイッチトキャパシタが構成されている。第3の制御回路 308 は第1のスイッチ 301 と第2のスイッチ 302 を交互にオンオフ制御する。

以下に図 1 3 に示す従来の多出力 DC-DC コンバータの動作を簡単に説明する。まず第 1 のコンバータ 1 0 0 は、第 1 の主スイッチ 1 0 2 がオン状態の時、入力直流電圧 E_i は第 1 のインダクタ 1 0 3 に印加される。この時、第 1 のインダクタ 1 0 3 に電流が流れ、磁気エネルギーが蓄えられる。次に第 1 の主スイッチ 1 0 2 がオフ状態になると、第 1 のインダクタ 1 0 3 に蓄えられた磁気エネルギーは、第 1 の出力ダイオード 1 0 5 を介して第 1 の出力コンデンサ 1 0 6 を充電する電流として放出される。第 1 の主スイッチ 1 0 2 が一定の周期でオンオフ動作しているものとする、1 周期ごとに第 1 のインダクタ 1 0 3 を介して出力されるエネルギーは、第 1 の主スイッチ 1 0 2 のオン期間が長いほど大きくなる。従って、第 1 の出力電圧 V_{out1} は第 1 の主スイッチ 1 0 2 のオン期間が長いほど高くなる。即ち、第 1 の出力電圧 V_{out1} は、第 1 の制御回路 1 0 8 が第 1 の主スイッチ 1 0 2 のオンオフ期間比を調整することにより制御される。同様に、第 2 のコンバータ 2 0 0 は、制御回路 2 0 8 が第 2 の主スイッチ 2 0 2 のオンオフ期間比を調整することにより、第 2 のインダクタ 2 0 3 に蓄積された磁気エネルギーが第 2 の出力ダイオード 2 0 5 を介して第 2 の出力コンデンサ 2 0 6 を充電する電流として放出される。この磁気エネルギーの放出量が調整されることにより、第 2 の出力電圧 V_{out2} は制御される。

第 3 のコンバータ 3 0 0 において、第 1 のスイッチ 3

01 がオン状態の時に、第2の出力電圧 V_{out} が第2のダイオード 305 を介してコンデンサ 303 を充電する。そして、第2のスイッチ 302 がオン状態の時に、コンデンサ 303 のエネルギーが第1のダイオード 304 を介して第3の出力コンデンサ 306 を充電することにより、第2の出力電圧 V_{out2} を負側に反転した第3の出力電圧 V_{out3} が出力される。

上記のような構成においては、3種類の異なる電圧を出力するために、3つのコンバータが必要である。しかし、携帯機器においては、小型・軽量化のために、たとえば1点でも部品点数を少なくすることが要求されている。複数の出力を少ない部品点数で制御する手段として、例えば日本の特公平7-40785号公報に記載された技術がある。図14は特公平7-40785号公報の第1図に開示された3つの出力を有する昇圧コンバータの回路図である。図14において、インダクタ L はスイッチ $S1$ が接点1に接する期間に入力直流電源 $V11$ からの磁気エネルギーが蓄積される。スイッチ $S1$ が接点2に接する期間に磁気エネルギーが出力側へ放出される。その時、スイッチ $S2$ によって磁気エネルギーが各出力に分配される。特公平7-40785号公報に開示された発明には、スイッチ $S2$ が各接点に接するオン期間を制御して各出力の電圧を安定化させるとともに、スイッチ $S1$ を全負荷に過不足なく給電するよう制御する方法が示されている。

特公平 7 - 4 0 7 8 5 号公報では、スイッチ S 1 が接点 2 に接する期間（主スイッチのオフ期間）を時分割してスイッチ S 2 の接点が切換わる方式であった。この従来技術と回路構成は異なるが同様の技術思想に基づく構成により、異なる制御方法の発明が知られている。例えば、米国特許第 5, 4 0 0, 2 3 9 号明細書には出力数 N の絶縁型フライバックコンバータが開示されている。この絶縁型フライバックコンバータは、トランスの 1 つの出力巻線にスイッチ S 2 に相当するスイッチを介して N 個の整流平滑回路が接続されている。そして、主スイッチのスイッチング周波数を N 分割して、各出力の制御に割当ててものである。即ち、この絶縁型フライバックコンバータは、図 1 4 に示した構成に置きかえると、スイッチ S 2 が N 分の 1 のスイッチング周波数で切換わり、各スイッチング周期ごとにスイッチ S 1 のオン期間が調整されて各出力電圧が制御されている。

また、米国特許第 5, 7 5 1, 1 3 9 号明細書には、1 つのインダクタで多出力の非絶縁型 DC - DC コンバータが開示されている。この非絶縁型 DC - DC コンバータにおいては、安定させたい出力に優先度を持たせている。この非絶縁型 DC - DC コンバータの構成を、図 1 4 に示した構成に置きかえると、スイッチ S 2 が優先順にしたがって出力を選択して給電し、選択された出力電圧は上限閾値に達すると次の順位の出力を選択して切換わるよう構成されている。

以上のように、従来の装置においては、単一のDC-DCコンバータの出力を時分割して複数の出力に給電し、各出力を安定化するように主スイッチ及び出力を選択するスイッチを制御している。このような技術を図13に示した従来の多出力コンバータに適用すれば、出力を選択するためのスイッチS2（図14）に相当するスイッチが必要となる。しかし、第1のコンバータ100と第2のコンバータ200においては、第1の主スイッチ102と第2の主スイッチ202が共用でき、第1のインダクタ103と第2のインダクタ203が共用できるので、構成部品の中で体積の大きなインダクタ1個の削減が可能となる。

上記のように、従来の多出力DC-DCコンバータは、第1から第3の出力電圧という3つの出力を制御するために、2つの昇圧コンバータと1つの反転型スイッチトキャパシタで構成されていた。しかし、特に小型・軽量化の望まれる携帯機器においては、部品点数を少なくすることが要求される。複数の出力を少ない部品点数により制御するために従来の技術においては、2つの昇圧コンバータを1つにまとめて、インダクタ1個の削減が可能である。しかし、負電位の出力電圧を発生させるには、図13で示した反転型スイッチトキャパシタが必要となる。この反転型スイッチトキャパシタでは出力電圧の微調整が困難である。また、コンデンサの充放電電流がサージ電流であるため、スイッチングノイズやスイッチン

グ損失の発生が問題となっていた。任意の負電位の出力電圧を得る方法として、反転コンバータを設けることが考えられるが、反転型スイッチトキャパシタで使用されたコンデンサの代わりに、インダクタが必要となる。このようなインダクタはコンバータの構成要素の中で体積の大きな部品であり、装置の小型・軽量化にとって障害となっていた。

本発明は、入力電圧と同極性で昇圧された電圧または極性の異なる電圧を複数出力することができる単一のDC-DCコンバータ、即ち1個のインダクタで複数の出力を制御することができる多出力DC-DCコンバータを提供することを目的としている。本発明は、部品点数の削減と回路全体の小型化を達成することができる多出力DC-DCコンバータを提供するものである。

発明の開示

上記目的を達成するために、本発明の多出力DC-DCコンバータは、

1つのインダクタと、

入力電圧を出力する入力直流電源と、

オン状態と第1のオフ状態と第2のオフ状態とを有し、前記オン状態の時に前記インダクタに前記入力電圧を印加する主スイッチ回路と、

前記インダクタの一端に接続されて、前記第1のオフ状態の時に前記インダクタに発生する電圧を整流平滑し、

前記入力電圧を昇圧した昇圧出力電圧を出力する昇圧用整流平滑回路と、

前記インダクタの他端に接続されて、前記第2のオフ状態の時に前記インダクタに発生する電圧を整流平滑し、前記入力電圧を反転昇降圧した反転出力電圧を出力する反転用整流平滑回路と、を具備する。このように構成された本発明の多出力DC-DCコンバータは、入力電圧と同極性で昇圧された電圧または極性の異なる電圧を複数出力することができる単一のDC-DCコンバータ、即ち1個のインダクタで複数の出力を制御することができる、部品点数の削減と回路全体の小型化を達成することができる。

また、本発明の多出力DC-DCコンバータにおいて、前記主スイッチ回路は、

前記インダクタの一端と前記入力直流電源の負極との間に接続される第1の主スイッチと、前記インダクタの他端と前記入力直流電源の正極との間に接続される第2の主スイッチとから構成され、

前記主スイッチ回路のオン状態は、前記第1の主スイッチと前記第2の主スイッチがともにオン状態であり、前記第1のオフ状態は、前記第1の主スイッチがオフ状態で前記第2の主スイッチがオン状態であり、前記第2のオフ状態は、前記第1の主スイッチがオン状態で前記第2の主スイッチがオフ状態であるよう制御される。

他の観点による本発明の多出力DC-DCコンバータ

は、

所定のスイッチング周期で動作し、前記スイッチング周期内の所定のオン期間だけ、入力直流電源からの入力電圧を少なくとも一つのインダクタへ印加する主スイッチ回路と、

前記スイッチング周期内の前記所定のオン期間後に前記インダクタに発生するフライバック電圧を、前記入力直流電源に加えるよう整流平滑した昇圧出力電圧を得る単一もしくは複数の昇圧出力電圧形成手段と、

前記入力直流電源に対して負電位となるよう整流平滑した反転出力電圧を得る単一もしくは複数の反転出力電圧形成手段とを有し、

前記スイッチング周期が前記各出力電圧のいずれか一つを制御する期間に割り当てられ、該出力電圧を得る手段を選択するとともに、選択された該出力電圧を制御するよう前記所定のオン期間を調整するよう構成されている。このように構成された本発明の多出力DC-DCコンバータは、入力電圧と同極性で昇圧された電圧と極性の異なる電圧を複数出力することができ、部品点数の削減と回路全体の小型化を達成することができる。

さらに他の観点による本発明の多出力DC-DCコンバータは、

入力直流電源と、

前記入力直流電源の負極に一端が接続された第1の主スイッチと整流手段と平滑手段との直列回路を有する昇

圧用整流平滑回路と、

前記入力直流電源の正極に一端が接続された第2の主スイッチと整流手段と平滑手段との直列回路を有する反転用整流平滑回路と、

前記第1の主スイッチの他端と前記第2の主スイッチの他端との間に接続された少なくとも一つのインダクタと、を具備する。このように構成された本発明の多出力DC-DCコンバータは、入力電圧と同極性で昇圧された電圧と極性の異なる電圧を複数出力することができ、部品点数の削減と回路全体の小型化を達成することができる。

発明の新規な特徴は添付の請求の範囲に特に記載したものに他ならないが、構成及び内容の双方に関して本発明は、他の目的や特徴と合わせて図面と共に以下の詳細な説明を読むことにより、より良く理解され評価されるであろう。

図面の簡単な説明

図1は本発明に係る実施の形態1の多出力DC-DCコンバータの構成を示す回路図である。

図2は本発明に係る実施の形態1の多出力DC-DCコンバータにおける制御回路の詳細を示す回路図である。

図3は本発明に係る実施の形態1の多出力DC-DCコンバータにおける制御回路の動作を示す波形図である。

図4は本発明に係る実施の形態2の多出力DC-DC

コンバータの構成を示す回路図である。

図 5 は本発明に係る実施の形態 2 の多出力 DC-DC コンバータにおける制御回路の詳細を示す回路図である。

図 6 は本発明に係る実施の形態 2 の多出力 DC-DC コンバータにおける制御回路の動作を示す波形図である。

図 7 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータの構成を示す回路図である。

図 8 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータにおける制御回路の詳細を示す回路図である。

図 9 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータにおける制御回路の動作を示す波形図である。

図 10 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータの他の構成を示す回路図である。

図 11 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータのさらに他の構成を示す回路図である。

図 12 は本発明に係る実施の形態 3 の多出力 DC-DC コンバータのさらに他の構成を示す回路図である。

図 13 は従来の多出力 DC-DC コンバータの構成を示す回路図である。

図 14 は従来の別の多出力 DC-DC コンバータの構成を示す回路図である。

図面の一部又は全部は、図示を目的とした概要的表現により描かれており、必ずしもそこに示された要素の実際の相対的大きさや位置を忠実に描写しているとは限ら

ないことは考慮願いたい。

発明を実施するための最良の形態

以下、本発明に係る多出力DC-DCコンバータの好ましい実施の形態について添付の図面を参照しつつ説明する。

《実施の形態1》

図1は本発明に係る実施の形態1の多出力DC-DCコンバータの構成を示す回路図である。図1に示すように、本発明に係る実施の形態1の多出力DC-DCコンバータは入力直流電源1に接続され入力直流電圧 E_i が入力されている。実施の形態1の多出力DC-DCコンバータには、NチャネルMOSFETの第1の主スイッチ21、PチャネルMOSFETの第2の主スイッチ22、インダクタ31、ダイオードの第1の整流手段51、コンデンサの第1の平滑手段61、ダイオードの第2の整流手段52、コンデンサの第2の平滑手段62、及び第1の主スイッチ21と第2の主スイッチ22をそれぞれ所定のオン期間とオフ期間で駆動する制御回路81が設けられている。第1の平滑手段61の両端には第1の負荷71が接続され、昇圧出力電圧 V_o1 が第1の負荷71へ出力される。第2の平滑手段62の両端には第2の負荷72が接続され、反転出力電圧 V_o2 が第2の負荷72へ出力される。実施の形態1における入出力条件

は、 $V_{o1} > E_i > 0 > V_{o2}$ である。第2の主スイッチ22がオン状態の時、第1の主スイッチ21とインダクタ31と第1の整流手段51と第1の平滑手段61が、昇圧コンバータとして動作する。一方、第1の主スイッチ21がオン状態の時は、第2の主スイッチ22とインダクタ31と第2の整流手段52と第2の平滑手段62が反転コンバータとして動作する。

図2は制御回路81の構成をより詳細に示した回路図である。図2において、抵抗801と抵抗802は昇圧出力電圧 V_{o1} を検出し、抵抗803と抵抗804は反転出力電圧 V_{o2} を検出する。各検出電圧は、誤差増幅器805及び誤差増幅器806によって基準電圧源807の基準電圧とそれぞれ比較され、昇圧出力用誤差信号 V_{e1} と反転出力用誤差信号 V_{e2} がそれぞれ出力される。抵抗801～804、誤差増幅器805、誤差増幅器806及び基準電圧源807により、検出回路90が構成されている。発振回路808は、所定の周期で電位が増減する三角波電圧 V_t と、三角波電圧 V_t が増加している時に“H”となり、減少している時に“L”となる信号 V_{t1} を出力する。比較器809は昇圧出力用誤差信号 V_{e1} と三角波電圧 V_t とを比較する。比較器810は反転出力用誤差信号 V_{e2} と三角波電圧 V_t とを比較する。各比較器809、810の出力信号は、それぞれAND回路811及び812によって信号 V_{t1} との論理積を示す信号 V_1 及び信号 V_2 として出力される。

ここで、信号 V_1 は昇圧出力用パルス信号であり、信号 V_2 は反転出力用パルス信号である。比較器 809, 810 と AND 回路 811, 812 とにより PWM 回路 91 が構成されている。分周回路である T フリップフロップ 813 には信号 V_{t1} が入力され、信号 V_{t2} を出力する。OR 回路 814 には信号 V_1 と信号 V_{t2} が入力され、駆動信号 V_{g21} を出力する。駆動信号 V_{g21} は N チャネル MOS FET である第 1 の主スイッチ 21 を駆動し、“H” で第 1 の主スイッチ 21 をオン状態にする。NOR 回路 815 は信号 V_2 と信号 V_{t2} の反転信号が入力され、駆動信号 V_{g22} を出力する。駆動信号 V_{g22} は P チャネル MOS FET である第 2 の主スイッチ 22 を駆動し、“L” で第 2 の主スイッチ 22 をオン状態にする。実施の形態 1 において、駆動信号 V_{g21} と駆動信号 V_{g22} が主スイッチ駆動信号である。OR 回路 814 及び NOR 回路 815 により論理回路 92 が構成されている。

図 3 は前述の各信号及びインダクタ 31 を流れる電流 I_{31} を示す波形図である。以下に、図 1 から図 3 を用いて、本発明に係る実施の形態 1 の多出力 DC-DC コンバータの動作を説明する。

まず、図 3 の時刻 t_0 において、三角波信号 V_t が上昇を開始するとともに信号 V_{t1} が “H” になり、信号 V_{t1} が入力された T フリップフロップ 813 の出力である信号 V_{t2} は “L” となる。一方、三角波信号 V_t

と誤差信号 V_{e1} との比較結果と信号 V_t との論理積を示す信号 V_1 は“H”となる。そして、信号 V_1 と信号 V_{t2} との論理和である駆動信号 V_{g21} は“H”となる。即ち、第1の主スイッチ21はオン状態となる。他方、信号 V_{t2} の反転信号は“H”であり、この反転信号が入力されたNOR回路815の出力である駆動信号 V_{g22} は“L”となる。即ち、第2の主スイッチ22はオン状態となる。この時、インダクタ31には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられている。

時刻 t_1 において、比較器809が反転し、信号 V_1 が“L”となると、信号 V_{t2} は“L”であるので、駆動信号 V_{g21} は“L”となる。この結果、第1の主スイッチ21はオフ状態となる。一方、駆動信号 V_{g22} は“L”のままなので、第2の主スイッチ22はオン状態である。この時、インダクタ31に蓄えられた磁気エネルギーは、入力直流電源1から第1の整流手段51を介して第1の平滑手段61であるコンデンサを充電する電流として放出される。やがて時刻 t_2 において、この電流はゼロとなる。一方、三角波電圧 V_t は上昇から下降に転じ、同時に信号 V_{t1} は“L”となる。

次に、時刻 t_3 において、三角波信号 V_t が上昇を開始するとともに信号 V_{t1} が再び“H”になり、Tフリップフロップ813の出力信号 V_{t2} は“H”となる。このため、信号 V_{t2} が入力されたOR回路814の出

力である駆動信号 V_{g21} は “H” となる。即ち、第1の主スイッチ21はオン状態となる。また、三角波信号 V_t と誤差信号 V_{e2} との比較結果と信号 V_t との論理積 V_2 は “H” となり、信号 V_2 を入力されたNOR回路815の出力である駆動信号 V_{g22} は “L” となる。即ち、第2の主スイッチ22はオン状態となる。この時、インダクタ31には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_4 において、比較器810が反転し、信号 V_2 が “L” となると、信号 V_{t2} の反転信号が “L” であるので、信号 V_2 と信号 V_{t2} が入力されたNOR回路815の出力である駆動信号 V_{g22} は “H” となる。即ち、第2の主スイッチ22はオフ状態となる。また、OR回路814の出力である駆動信号 V_{g21} は、“H” レベルの信号 V_{t2} が入力されているので、“H” である。この時、第1の主スイッチ21はオン状態を維持する。この時、インダクタ31に蓄えられた磁気エネルギーは、第2の整流手段52を介して第2の平滑手段62であるコンデンサを充電する電流として放出される。やがて時刻 t_5 において、この電流はゼロとなる。一方、三角波電圧 V_t は上昇から下降に転じ、同時に信号 V_{t1} は “L” となる。

時刻 t_6 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “L” となり、時刻 t_0 以降の動作を繰返す。

インダクタ 31 のインダクタンスを L 、発振器 808 の発振周期を T 、第 1 の主スイッチ 21 及び第 2 の主スイッチ 22 がともにオン状態である時刻 $t_0 \sim t_1$ を T_{on1} 、同じく時刻 $t_3 \sim t_4$ を T_{on2} 、第 1 の負荷 71 への出力電流を I_{o1} 、第 2 の負荷 72 への出力電流を I_{o2} とすると、次の式 (1) 及び (2) の関係が成り立つ。

$$V_{o1} = \frac{E_i + (E_i \cdot T_{on1})^2 / (4L \cdot T \cdot I_{o1})}{- - - (1)}$$

$$V_{o2} = \frac{(E_i \cdot T_{on2})^2 / (4L \cdot T \cdot I_{o2})}{- - - (2)}$$

誤差信号 V_{e1} 及び V_{e2} は、それぞれ昇圧出力電圧 V_{o1} 及び反転出力電圧 V_{o2} を所望の電圧に安定化するように増減し、第 1 の主スイッチ 21 及び第 2 の主スイッチ 22 がともにオン状態である期間を調整する。即ち、インダクタ 31 を共有する昇圧コンバータと反転コンバータが、発振器 808 の発振周波数の $1/2$ で時分割制御されることによって、昇圧出力電圧 V_{o1} 及び反転出力電圧 V_{o2} を所望の電圧に安定化する。

以上のように、実施の形態 1 の多出力 DC-DC コン

バータによれば、一つのインダクタ 31 を共有することによる少ない部品点数で、昇圧出力と反転出力を同時に安定化することができるという効果が得られる。

《実施の形態 2》

図 4 は本発明に係る実施の形態 2 の多出力 DC-DC コンバータの構成を示す回路図である。実施の形態 2 の多出力 DC-DC コンバータにおいて、図 1 に示した実施の形態 1 の多出力 DC-DC コンバータの構成と同様のものについては同じ符号を付与した。実施の形態 2 において、図 1 に示した実施の形態 1 の DC-DC コンバータの構成と異なるところは、第 1 の平滑手段から出力される昇圧出力電圧 V_{o1} を第 1 の昇圧出力電圧とし、N チャネル MOSFET の補助スイッチ 41 とダイオードの第 3 の整流手段 53 の直列回路、及びコンデンサの第 3 の平滑手段 63 を設けている点である。また、第 2 の昇圧出力電圧 V_{o3} が追加され、第 3 の負荷 73 へ出力されるよう構成されている点が異なっている。

実施の形態 2 において、第 2 の昇圧出力電圧 V_{o3} を制御するために、制御回路 82 にはその機能が追加されて、図 5 に示すような回路構成となっている。実施の形態 2 における入出力条件は、 $V_{o1} > V_{o3} > E_i > 0 > V_{o2}$ である。

図 5 は実施の形態 2 における制御回路 82 の構成をより詳細に示した回路図である。図 5 において、図 2 に示

した実施の形態 1 の構成と異なる点を以下に説明する。

図 5 に示すように実施の形態 2 の検出回路 9 3 には、図 2 の検出回路 9 0 の構成の他に、第 2 の昇圧出力電圧 V_{o3} を検出する抵抗 8 2 1 と抵抗 8 2 2、及びその検出電圧を基準電圧源 8 0 7 の基準電圧と比較する誤差増幅器 8 2 3 が追加されている。実施の形態 2 の P W M 回路 9 4 には、図 2 の P W M 回路 9 1 の構成の他に、誤差増幅器 8 2 3 の出力である昇圧出力用誤差信号 V_{e3} を三角波電圧 V_t と比較する比較器 8 2 4、及び比較器 8 2 4 の出力信号と信号 V_{t1} との論理積を示す信号 V_3 を出力する A N D 回路 8 2 5 が追加されている。実施の形態 2 の分周回路 9 5 には、信号 V_{t1} が入力され信号 V_{t2} を出力する T フリップフロップ 8 1 3 の他に、信号 V_{t2} が入力される第 2 の T フリップフロップ 8 2 6 が追加されている。実施の形態 2 の論理回路 9 6 には、図 2 の論理回路 9 2 の構成の他に、信号 V_1 と信号 V_{t2} が入力される N O R 回路 8 2 7 と、信号 V_3 と信号 V_{t2} の反転信号と第 2 の T フリップフロップ 8 2 6 の出力 V_{t3} の反転信号とが入力される N O R 回路 8 2 8 が追加されている。

また、実施の形態 2 においては、図 2 における O R 回路 8 1 4 の代わりに、駆動信号 V_{g21} を出力する N O R 回路 8 2 9 が設けられており、この N O R 回路 8 2 9 には、N O R 回路 8 2 7 の出力と N O R 回路 8 2 8 の出力が入力される構成である。また、実施の形態 2 におい

ては、図 2 の N O R 回路 8 1 5 の代わりに、駆動信号 V_{g22} を出力する N O R 回路 8 3 0 が設けられており、この N O R 回路 8 3 0 には信号 V_2 と信号 V_{t2} の反転信号と信号 V_{t3} が入力される構成である。さらに、実施の形態 2 においては、信号 V_{t2} と信号 V_{t3} との論理積である昇圧出力用補助スイッチ駆動信号 V_{g41} を出力する A N D 回路 8 3 1 が追加されている。昇圧出力用補助スイッチ駆動信号 V_{g41} は補助スイッチ 4 1 をオンオフ駆動する。実施の形態 2 における論理回路 9 6 は、N O R 回路 8 2 7 ~ 8 3 0 と A N D 回路 8 3 1 とにより構成されている。

図 6 は前述の各信号及びインダクタ 3 2 を流れる電流 I_{32} を示す波形図である。以下に、図 4 から図 6 を用いて、本発明に係る実施の形態 2 の多出力 D C - D C コンバータの動作を説明する。

図 6 の時刻 t_0 において、三角波信号 V_t が上昇を開始するとともに信号 V_{t1} が “H” になり、信号 V_{t1} が入力された T フリップフロップ 8 1 3 の出力 V_{t2} は “L” となる。また、信号 V_{t2} が入力された T フリップフロップ 8 2 6 の出力 V_{t3} は “H” のままである。従って、信号 V_{t2} と V_{t3} の論理積である駆動信号 V_{g41} は “L” となり、補助スイッチ 4 1 はオフ状態である。また、入力に信号 V_{t3} を含む N O R 回路 8 3 0 の出力である駆動信号 V_{g22} は “L” となり、第 2 の主スイッチ 2 2 はオン状態である。一方、信号 V_1 は “

H”となり、信号 V_1 が入力された NOR 回路 827 の出力は “L” となる。他方、信号 V_{t2} の反転信号が入力された NOR 回路 828 の出力も “L” となる。この結果、NOR 回路 829 の出力である駆動信号 V_{g21} は “H” となる。即ち、第 1 の主スイッチ 21 はオン状態となる。この時、インダクタ 32 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_1 において、信号 V_1 が “L” となると、信号 V_{t2} は “L” であるため、NOR 回路 827 の出力は “H” となる。このため、NOR 回路 827 の出力が入力され

NOR 回路 829 の出力、即ち駆動信号 V_{g21} は “L” となる。この結果、第 1 の主スイッチ 21 はオフ状態となる。一方、信号 V_{t2} の “L” と、信号 V_{t3} の “H” は変わらないので、駆動信号 V_{g22} の “L” 及び駆動信号 V_{g41} の “L” も変わらない。第 2 の主スイッチ 22 はオン状態であり、補助スイッチ 41 はオフ状態である。この時、インダクタ 32 に蓄えられた磁気エネルギーは、補助スイッチ 41 がオフ状態であるので、第 1 の整流手段 51 を介して第 1 の平滑手段 61 であるコンデンサを充電する電流として放出される。やがて時刻 t_2 において、このインダクタ 32 に流れる電流 I_3 はゼロとなる。図 6 に示すように、時刻 t_3 までの間に、三角波電圧 V_t は上昇から下降に転じ、その時同時に信号 V_{t1} は “L” となる。

時刻 t_3 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “H” となり、信号 V_{t3} は “L” となる。このため、信号 V_{t2} が入力された NOR 回路 827 の出力は “L” となり、信号 V_{t3} の反転信号が入力された NOR 回路 828 の出力も “L” となる。従って駆動信号 V_{g21} である NOR 回路 829 の出力は “H” となり、第 1 の主スイッチ 21 はオン状態となる。この時、三角波信号 V_t と誤差信号 V_e3 との比較結果と信号 V_t との論理積を示す信号 V_2 は “H” となり、信号 V_2 が入力された NOR 回路 830 の出力も “H” となるので、駆動信号 V_{g22} は “L” である。即ち、第 2 の主スイッチ 22 はオン状態である。また、信号 V_{t2} と信号 V_{t3} の論理積である駆動信号 V_{g41} は “L” であるので、補助スイッチ 41 はオフ状態のままである。この時、インダクタ 32 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_4 において、比較器 810 が反転し、信号 V_2 が “L” となると、NOR 回路 830 の入力は全て “L” となる。このため、NOR 回路 830 の出力である駆動信号 V_{g22} は “H” となる。従って、第 2 の主スイッチ 22 はオフ状態となる。信号 V_{t2} の “H” と信号 V_{t3} の “L” は変わらないので、駆動信号 V_{g21} の “H” 及び駆動信号 V_{g41} の “L” も変わらない。第 1 の主スイッチ 21 はオン状態であり、補助スイッチ 4

1 はオフ状態である。この時、インダクタ 3 2 に蓄えられた磁気エネルギーは、第 2 の整流手段 5 2 を介して第 2 の平滑手段 6 2 であるコンデンサを充電する電流として放出される。やがて時刻 t_5 において、このインダクタ 3 2 に流れる電流 I_{32} はゼロとなる。図 6 に示すように、時刻 t_6 までの間に、三角波電圧 V_t は上昇から下降に転じ、その時同時に信号 V_{t1} は “L” となる。

時刻 t_6 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “L” となり、信号 V_{t3} は “L” のままである。この時、駆動信号 V_{g41} は “L” であり、補助スイッチ 4 1 はオフ状態を維持する。一方、信号 V_1 は “H” となり、NOR 回路 8 2 7 と NOR 回路 8 2 8 の出力がともに “L” となるので、駆動信号 V_{g21} は “H” となり、第 1 の主スイッチ 2 1 はオン状態となる。信号 V_{t2} の反転信号が “H” となるので、この反転信号が入力された NOR 回路 8 3 0 の出力は “L” となる。即ち、駆動信号 V_{g22} が “L” となるので、第 2 の主スイッチ 2 2 はオン状態となる。この時、インダクタ 3 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_7 において、信号 V_1 が “L” となると、NOR 回路 8 2 7 の出力は “H” となる。このため NOR 回路 8 2 7 からの信号が入力される NOR 回路 8 2 9 の出力、即ち駆動信号 V_{g21} は “L” となる。この結果、

第 1 の主スイッチ 2 1 はオフ状態となる。一方、信号 V_{t2} の “L” と、信号 V_{t3} の “L” は変わらないので、駆動信号 V_{g22} の “L” 及び駆動信号 V_{g41} の “L” も変わらない。第 2 の主スイッチ 2 2 はオン状態であり、補助スイッチ 4 1 はオフ状態である。この時、インダクタ 3 2 に蓄えられた磁気エネルギーは、補助スイッチ 4 1 がオフ状態であるので、第 1 の整流手段 5 1 を介して第 1 の平滑手段 6 1 であるコンデンサを充電する電流として放出される。やがて時刻 t_8 において、インダクタ 3 2 に流れる電流 I_{32} はゼロとなる。図 6 に示すように、時刻 t_9 までの間に、三角波電圧 V_t は上昇から下降に転じ、その時同時に信号 V_{t1} は “L” となる。

時刻 t_9 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “H” となり、信号 V_{t3} も “H” となる。このため、信号 V_{t2} と信号 V_{t3} の論理積である駆動信号 V_{g41} は “H” となり、補助スイッチ 4 1 はオン状態となる。また、信号 V_{t3} が入力された NOR 回路 8 3 0 の出力は “L” であるので、駆動信号 V_{g22} は “L” であり、第 2 の主スイッチ 2 2 もオン状態のままである。一方、三角波信号 V_t と誤差信号 V_{e3} との比較結果と信号 V_t との論理積を示す信号 V_3 は “H” となり、信号 V_3 が入力された NOR 回路 8 2 8 の出力も “L” となる。この結果、駆動信号 V_{g21} は “H” となる。即ち、第 1 の主スイッチ 2 1 はオン状態となる。この時、インダ

クタ 3 2 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_{10} において、比較器 8 2 5 が反転し、信号 V_3 が “L” となると、NOR 回路 8 2 8 の入力は全て “L” となり、出力が “H” となる。このため駆動信号 V_{g21} である NOR 回路 8 2 9 の出力が “L” となり、第 1 の主スイッチ 2 1 はオフ状態となる。一方、信号 V_{t2} の “H” と、信号 V_{t3} の “H” は変わらないため、駆動信号 V_{g22} の “L” 及び駆動信号 V_{g41} の “H” も変わらない。この結果、第 2 の主スイッチ 2 2 はオン状態であり、補助スイッチ 4 1 もオン状態のままで維持される。この時、インダクタ 3 2 に蓄えられた磁気エネルギーは、補助スイッチ 4 1 がオン状態であるので、第 3 の整流手段 5 3 を介して第 3 の平滑手段 6 3 であるコンデンサを充電する電流として放出される。やがて時刻 t_{11} において、この電流はゼロとなる。

他方、三角波電圧 V_t は上昇から下降に転じ、同時に信号 V_{t1} は “L” となる。時刻 t_{12} において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “L”、信号 V_{t3} は “H” となり、時刻 t_0 以降の動作を繰返す。

インダクタ 3 2 のインダクタンスを L 、発振器 8 0 8 の発振周期を T とし、図 6 の期間 $t_0 \sim t_1$ 及び期間 $t_6 \sim t_7$ のように、信号 V_1 が “H” である期間に相当する第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 の

オン期間を T_{on1} とし、期間 $t_3 \sim t_4$ のように信号 V_2 が “H” である期間に相当する第1の主スイッチ21及び第2の主スイッチ22のオン期間を T_{on2} とし、期間 $t_9 \sim t_{10}$ のように補助スイッチ41がオン状態における第1の主スイッチ21及び第2の主スイッチ22のオン期間を T_{on3} とし、第1の負荷71への出力電流を I_{o1} とし、第2の負荷72への出力電流を I_{o2} とし、第3の負荷73への出力電流を I_{o3} とすると、次の式(3)、(4)及び(5)の関係が成り立つ。

$$V_{o1} = E_i + (E_i \cdot T_{on1})^2 / (4L \cdot T \cdot I_{o1}) \quad \text{--- (3)}$$

$$V_{o2} = - (E_i \cdot T_{on2})^2 / (8L \cdot T \cdot I_{o2}) \quad \text{--- (4)}$$

$$V_{o3} = E_i + (E_i \cdot T_{on3})^2 / (8L \cdot T \cdot I_{o3}) \quad \text{--- (5)}$$

誤差信号 V_{e1} 、 V_{e2} 及び V_{e3} は、それぞれ第1の昇圧出力電圧 V_{o1} 、反転出力電圧 V_{o2} 及び第2の昇圧出力電圧 V_{o3} を所望の電圧に安定化するように増

減して、第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 のオン期間が調整される。実施の形態 2 においては、インダクタ 3 2 を共有する 2 つの昇圧コンバータと 1 つの反転コンバータのうち、第 1 の昇圧出力電圧を供給する昇圧コンバータが発振器 8 0 8 の発振周波数の $2/4$ で時分割制御され、他の昇圧コンバータと反転コンバータは $1/4$ で時分割制御されている。これによって、実施の形態 2 の多出力 DC-DC コンバータは、第 1 の昇圧出力電圧、第 2 の昇圧出力電圧及び反転出力電圧をそれぞれ所望の電圧に安定化させることができる。

以上のように、実施の形態 2 によれば、一つのインダクタ 3 2 を共有するよう構成することにより、少ない部品点数で、2 つの昇圧出力と 1 つの反転出力を同時に安定化させることができるという優れた効果が得られる。

尚、実施の形態 2 において、第 1 の昇圧出力電圧を供給する昇圧コンバータは発振器 8 0 8 の発振周波数の $2/4$ で時分割制御したが、第 2 の昇圧出力電圧を供給する昇圧コンバータに発振周波数の $2/4$ を割り当て、他のコンバータは $1/4$ で時分割制御されるよう構成してもよい。いずれのコンバータに発振周波数の $2/4$ を割り当てるかは、出力電力の大きいものにすればよく、制御回路を構成する論理回路によってその選択は任意に可能である。

《 実施の形態 3 》

図 7 は本発明に係る実施の形態 3 の多出力 D C - D C コンバータの構成を示す回路図である。実施の形態 3 において、図 4 に示した前述の実施の形態 2 の多出力 D C - D C コンバータの構成と同様のものについては同じ符号を付与した。実施の形態 3 の多出力 D C - D C コンバータにおいて、図 4 に示した実施の形態 2 の構成と異なるところは、負荷 7 2 に供給される反転出力電圧を第 1 の反転出力電圧 V_{o2} とすると、P チャネル MOS FET の第 2 の補助スイッチ 4 2 とダイオードの第 4 の整流手段 5 4 の直列回路、及びコンデンサの第 4 の平滑手段 6 4 が設けられており、第 2 の反転出力電圧 V_{o4} を第 4 の負荷 7 4 へ出力する構成が追加されている点である。また、この第 2 の反転出力電圧 V_{o4} を制御するために、制御回路 8 3 にはその機能が追加されており、図 8 に示すような構成となっている。実施の形態 3 における入出力条件は、 $V_{o1} > V_{o3} > E_i > 0 > V_{o4} > V_{o2}$ である。

図 8 は制御回路 8 3 の構成をより詳細に示した回路図である。図 8 において、図 5 に示した実施の形態 2 の構成と異なる点を以下に説明する。実施の形態 3 の検出回路 9 7 は、図 5 に示した検出回路 9 3 の構成の他に、第 2 の反転出力電圧 V_{o4} を検出する抵抗 8 4 1 と抵抗 8 4 2、及びその検出電圧を基準電圧源 8 0 7 の基準電圧と比較する誤差増幅器 8 4 3 が追加されている。実施の形態 3 の P W M 回路 9 8 は、図 5 に示した P W M 回路 9

4の構成の他に、誤差増幅器843の出力である誤差信号 V_{e4} を三角波電圧 V_t と比較する比較器844、この比較器844の出力信号と信号 V_{t1} との論理積を示す信号 V_4 を出力するAND回路845、信号 V_{t2} と信号 V_{t3} が入力されるOR回路846、及び信号 V_4 と信号 V_{t2} と信号 V_{t3} が入力されるNOR回路848とが追加されている。また、実施の形態3の論理回路99は、図5に示した論理回路96におけるNOR回路827の代わりに、信号 V_1 と信号 V_{t2} と信号 V_{t3} の反転信号が入力され、駆動信号 V_{g21} をNOR回路829へ出力するNOR回路847が設けられている。駆動信号 V_{g21} を出力するNOR回路829は、NOR回路847の出力とNOR回路828の出力とが入力される構成となっている。また、論理回路99において、NOR回路830の出力がNOR回路848の出力とともにOR回路849に入力され、OR回路849は駆動信号 V_{g22} を出力するよう構成されている。実施の形態3においては、OR回路846が設けられており、このOR回路846は駆動信号 V_{g42} を出力して、第2の補助スイッチ42をオンオフ駆動する。実施の形態3においては、論理回路99がNOR回路828～830、847、848、AND回路831、及びOR回路846、849とにより構成されている。

図9は前述の各信号及びインダクタ33を流れる電流 I_{33} を示す波形図である。以下に、図7から図9を用

いて、本発明に係る実施の形態3の多出力DC-DCコンバータの動作を説明する。

図9の時刻 t_0 において、三角波信号 V_t が上昇を開始するとともに信号 V_{t1} が“H”になり、信号 V_{t1} が入力されたTフリップフロップ813の出力 V_{t2} は“L”となる。また、信号 V_{t2} が入力されたTフリップフロップ826の出力 V_{t3} は“H”のままである。従って、駆動信号 V_{g41} は“L”となり、補助スイッチ41はオフ状態である。第2の駆動信号 V_{g42} は“H”となり、第2の補助スイッチ42はオフ状態である。時刻 t_0 において、OR回路849の出力である駆動信号 V_{g22} は“L”であり、第2の主スイッチ22はオン状態を維持する。

“H”である信号 V_1 が入力されたNOR回路847の出力は“L”となる。一方、信号 V_{t2} の反転信号が入力されたNOR回路828の出力も“L”となる。この結果、NOR回路829の出力である駆動信号 V_{g21} は“H”となる。即ち、第1の主スイッチ21はオン状態となる。この時、インダクタ33には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_1 において、信号 V_1 が“L”となると、駆動信号 V_{g21} は“L”となり、第1の主スイッチ21はオフ状態となる。一方、信号 V_{t2} の“L”と、信号 V_{t3} の“H”は維持されているので、駆動信号 V_{g22} の“L”及び駆動信号 V_{g41} の“L”と駆動信号 V_{g42} の“H”とが維持される。

42の“H”も維持される。この時、インダクタ33に蓄えられた磁気エネルギーは、補助スイッチ41がオフ状態であるので、第1の整流手段51を介して第1の平滑手段61であるコンデンサを充電する電流として放出される。やがて時刻 t_2 において、インダクタ33に流れる電流 I_{33} はゼロとなる。図9に示すように、時刻 t_3 までの間に、三角波電圧 V_t は上昇から下降に転じ、その時同時に信号 V_{t1} は“L”となる。

時刻 t_3 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び“H”になり、信号 V_{t2} は“H”となり、信号 V_{t3} は“L”となる。このため、NOR回路847の出力は“L”となり、NOR回路828の出力も“L”となる。従って、駆動信号 V_{g21} は“H”となり、第1の主スイッチ21はオン状態となる。一方、三角波信号 V_t と誤差信号 V_{e2} との比較結果と信号 V_{t1} との論理積を示す信号 V_2 は“H”となり、NOR回路830の出力も“H”となる。この結果、OR回路849から出力される駆動信号 V_{g22} は“L”となる。即ち、この時、第2の主スイッチ22はオン状態である。また、この時の駆動信号 V_{g41} の“L”と駆動信号 V_{g42} の“H”は変わらず、補助スイッチ41と第2の補助スイッチ42はオフ状態のままである。この時、インダクタ33には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_4 において、比較器810が反転し、信号 V_2

が“L”となると、NOR回路830の入力は全て“L”となり、その出力である“H”が入力されたOR回路849の出力は“H”となる。この結果、駆動信号Vg22は“H”となり、第2の主スイッチ22はオフ状態となる。信号Vt2の“H”と信号Vt3の“L”は維持されるので、駆動信号Vg21の“H”及び駆動信号Vg41の“L”と駆動信号Vg42の“H”も維持される。この時、第1の主スイッチ21はオン状態であり、補助スイッチ41及び第2の補助スイッチ42はオフ状態である。この時、インダクタ33に蓄えられた磁気エネルギーは、第2の整流手段52を介して第2の平滑手段62であるコンデンサを充電する電流として放出される。やがて時刻t5において、インダクタ33に流れる電流I33はゼロとなる。図9に示すように、時刻t6までの間に、三角波電圧Vtは上昇から下降に転じ、その時同時に信号Vt1は“L”となる。

時刻t6において、三角波信号Vtが上昇に転じるとともに信号Vt1が再び“H”になり、信号Vt2は“L”となり、信号Vt3は“L”のままである。駆動信号Vg41は“L”で、補助スイッチ41はオフ状態のままである。駆動信号Vg42は“L”となり、第2の補助スイッチ42はオン状態となる。

また、時刻t6において、NOR回路847とNOR回路828の出力がともに“L”となるので、駆動信号Vg21は“H”であり、第1の主スイッチ21はオン

状態である。NOR回路830からOR回路849への出力は“L”であり、信号V4が“H”であるのでNOR回路848からOR回路849への出力も“L”となる。従って、OR回路849の出力信号は“L”となる。即ち、駆動信号Vg22が“L”となるので、第2の主スイッチ22はオン状態となる。この時、インダクタ33には入力直流電圧Eiが印加され、磁気エネルギーが蓄えられていく。

時刻t7において、比較器844が反転し、信号V4が“L”となると、NOR回路848の出力は“H”となる。このため、OR回路849の出力である駆動回路Vg22は“H”となり、第2の主スイッチ22はオフ状態となる。一方、信号Vt2の“L”と、信号Vt3の“L”は維持されるので、駆動信号Vg21の“H”及び駆動信号Vg41の“L”及び駆動信号Vg42の“L”も維持される。この時、第1の主スイッチ21はオン状態、補助スイッチ41はオフ状態、第2の補助スイッチ42はオン状態である。この時、インダクタ33に蓄えられた磁気エネルギーは、第2の補助スイッチ42がオン状態であるので、第4の整流手段54を介して第4の平滑手段64であるコンデンサを充電する電流として放出される。やがて時刻t8において、インダクタ33に流れる電流I33はゼロとなる。図9に示すように、時刻t9までの間に、三角波電圧Vtは上昇から下降に転じ、その時同時に信号Vt1は“L”となる。

時刻 t_9 において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び “H” になり、信号 V_{t2} は “H” となり、信号 V_{t3} も “H” となる。このため、駆動信号 V_{g41} と駆動信号 V_{g42} はともに “H” となり、補助スイッチ 41 はオン状態、第2の補助スイッチ 42 はオフ状態となる。また、NOR回路 830 と NOR回路 848 の出力はともに “L” となるので、駆動信号 V_{g22} は “L” となり、第2の主スイッチ 22 はオン状態となる。一方、三角波信号 V_t と誤差信号 V_{e3} との比較結果と信号 V_t との論理積を示す信号 V_3 は “H” となり、信号 V_3 が入力された NOR回路 828 の出力も “L” となる。この結果、駆動信号 V_{g21} は “H” となる。即ち、第1の主スイッチ 21 はオン状態となる。この時、インダクタ 33 には入力直流電圧 E_i が印加され、磁気エネルギーが蓄えられていく。

時刻 t_{10} において、比較器 825 が反転し、信号 V_3 が “L” となると、NOR回路 828 の入力は全て “L” となる。その結果、NOR回路 828 の出力は “H” となる。このため、駆動信号 V_{g21} である NOR回路 829 の出力が “L” となり、第1の主スイッチ 21 はオフ状態となる。一方、信号 V_{t2} の “H” と、信号 V_{t3} の “H” は維持されているので、駆動信号 V_{g22} の “L” 及び駆動信号 V_{g41} の “H” と駆動信号 V_{g42} の “H” も維持される。このとき、第2の主スイッチ 22 と補助スイッチ 41 がオン状態、第2の補助ス

スイッチ 4 2 はオフ状態のままである。この時、インダクタ 3 3 に蓄えられた磁気エネルギーは、補助スイッチ 4 1 がオン状態であるので、第 3 の整流手段 5 3 を介して第 3 の平滑手段 6 3 であるコンデンサを充電する電流として放出される。やがて時刻 t_{11} において、インダクタ 3 3 に流れる電流 I_{33} はゼロとなる。図 9 に示すように、時刻 t_{12} までの間に、三角波電圧 V_t は上昇から下降に転じ、その時同時に信号 V_{t1} は“L”となる。

時刻 t_{12} において、三角波信号 V_t が上昇に転じるとともに信号 V_{t1} が再び“H”になり、信号 V_{t2} は“L”、信号 V_{t3} は“H”となり、前述の時刻 t_0 以降の動作を繰返す。

インダクタ 3 3 のインダクタンスを L 、発振器 8 0 8 の発振周期を T とし、図 9 の期間 $t_0 \sim t_1$ のように信号 V_1 が“H”である期間に相当する第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 のオン期間を T_{on1} とし、期間 $t_3 \sim t_4$ のように信号 V_2 が“H”である期間に相当する第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 のオン期間を T_{on2} とし、期間 $t_6 \sim t_7$ のように第 2 の補助スイッチ 4 2 がオン状態における第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 のオン期間を T_{on4} とし、期間 $t_9 \sim t_{10}$ のように補助スイッチ 4 1 がオン状態における第 1 の主スイッチ 2 1 及び第 2 の主スイッチ 2 2 のオン期間を T_{on3} とし、第 1 の負荷 7 1 への出力電流を I_{o1} とし、第 2 の負荷 7 2 への

出力電流を I_{o2} とし、第 3 の負荷 7.3 への出力電流を I_{o3} とし、及び第 4 の負荷 7.4 への出力電流を I_{o4} とすると、次の式 (6), (7), (8) 及び (9) の関係が成り立つ。

$$V_{o1} = \frac{E_i + (E_i \cdot T_{on1})^2}{8L \cdot T \cdot I_{o1}} \quad \text{--- (6)}$$

$$V_{o2} = \frac{-(E_i \cdot T_{on2})^2}{8L \cdot T \cdot I_{o2}} \quad \text{--- (7)}$$

$$V_{o3} = \frac{E_i + (E_i \cdot T_{on3})^2}{8L \cdot T \cdot I_{o3}} \quad \text{--- (8)}$$

$$V_{o4} = \frac{-(E_i \cdot T_{on4})^2}{8L \cdot T \cdot I_{o4}} \quad \text{--- (9)}$$

誤差信号 V_{e1} , V_{e2} , V_{e3} 及び V_{e4} は、第 1 の昇圧出力電圧 V_{o1} 、第 1 の反転出力電圧 V_{o2} 、第 2 の昇圧出力電圧 V_{o3} 及び第 2 の反転出力電圧 V_{o4} のそれぞれを所望の電圧に安定化するように増減して、第

1の主スイッチ21及び第2の主スイッチ22のオン期間が調整される。即ち、インダクタ33を共有する2つの昇圧コンバータと2つの反転コンバータは発振器808の発振周波数の $1/4$ で時分割制御されることによって、各出力電圧がそれぞれ所望の電圧に安定化される。

以上のように、実施の形態3によれば、一つのインダクタ33を共有することによる少ない部品点数で、2つの昇圧出力と2つの反転出力を安定化することができるという優れた効果が得られる。

尚、実施の形態3においては、発振回路808の発振周波数の $1/4$ の時分割制御を2つの昇圧コンバータと2つの反転コンバータの制御に割り当てたが、本発明の多出力DC-DCコンバータは、この構成に限られるものではない。説明は省略するが、本発明の多出力DC-DCコンバータは、例えば、図10の回路図に示すように、1つの昇圧コンバータと2つの反転コンバータの構成が可能である。また、本発明の多出力DC-DCコンバータは、図11の別の回路図に示すように、3つの昇圧コンバータと1つの反転コンバータの構成が可能である。さらに、本発明の多出力DC-DCコンバータは、図12のさらに別の回路図に示すように、1つの昇圧コンバータと3つの反転コンバータの構成が可能である。

前述の実施の形態3において説明した制御方法を応用すれば、分周回路であるTフリップフロップをN段用いることにより、発振器808の発振周波数の2の(－

N) 乗で時分割制御することができる。このように構成することにより、合わせて2のN乗個以下の複数の昇圧コンバータと複数の反転コンバータを制御できることが可能な多出力DC-DCコンバータを提供することができる。

以上、実施の形態において詳細に説明したところから明らかなように、本発明は次の効果を有する。

本発明の多出力DC-DCコンバータは、複数の負荷に制御された昇圧または反転出力を供給するために、1つのインダクタしか必要としないので少ない部品点数で構成することが出来る。例えば、従来の携帯機器の液晶パネル用電源回路は2つの昇圧コンバータと1つの反転型スイッチトキャパシタで構成され、ダイオードを含む半導体スイッチ8個とインダクタ2個とコンデンサ4個を必要としていた。そして反転型スイッチトキャパシタからの出力電圧は制御ができなかった。前述の実施の形態2で示したように、この電源回路に本発明を適用することにより、半導体スイッチ6個とインダクタ1個とコンデンサ3個で構成することができる。また、各出力はそれぞれに対応する主スイッチ回路のオンオフ期間比を調整することによって制御することができる。

さらに本発明によれば、シリーズレギュレータやスイッチトキャパシタを必要としないので、スイッチングコンバータ本来の高効率な特長が得られるという優れた効果を有する。

発明をある程度の詳細さをもって好適な形態について説明したが、この好適形態の現開示内容は構成の細部において変化してしかるべきものであり、各要素の組合せや順序の変化は請求された発明の範囲及び思想を逸脱することなく実現し得るものである。

産業上の利用可能性

本発明の多出力D.C-D.Cコンバータは、複数の電源電圧を必要とする各種電子機器、例えば携帯機器に搭載される電子部品の駆動用電源として用いられ、汎用性の高い発明である。

請 求 の 範 囲

1. 1つのインダクタと、

入力電圧を出力する入力直流電源と、

オン状態と第1のオフ状態と第2のオフ状態とを有し、
前記オン状態の時に前記インダクタに前記入力電圧を印
加する主スイッチ回路と、

前記インダクタの一端に接続されて、前記第1のオフ
状態の時に前記インダクタに発生する電圧を整流平滑し、
前記入力電圧を昇圧した昇圧出力電圧を出力する昇圧用
整流平滑回路と、

前記インダクタの他端に接続されて、前記第2のオフ
状態の時に前記インダクタに発生する電圧を整流平滑し、
前記入力電圧を反転昇降圧した反転出力電圧を出力する
反転用整流平滑回路と、

を具備する多出力DC-DCコンバータ。

2. 前記主スイッチ回路は、

前記インダクタの一端と前記入力直流電源の負極との
間に接続される第1の主スイッチと、前記インダクタの
他端と前記入力直流電源の正極との間に接続される第2
の主スイッチとから構成され、

前記主スイッチ回路のオン状態は、前記第1の主スイ
ッチと前記第2の主スイッチがともにオン状態であり、
前記第1のオフ状態は、前記第1の主スイッチがオフ状

態で前記第2の主スイッチがオン状態であり、前記第2のオフ状態は、前記第1の主スイッチがオン状態で前記第2の主スイッチがオフ状態である請求項1記載の多出力DC-DCコンバータ。

3. 前記第1の主スイッチと前記第2の主スイッチをそれぞれ所定のオン期間とオフ期間で駆動するとともに、前記第1の主スイッチのオンオフ期間比を前記昇圧出力電圧が所望値となるよう制御し、前記第2の主スイッチのオンオフ期間比を前記反転出力電圧が所望値となるよう制御する制御回路を有する請求項2記載の多出力DC-DCコンバータ。

4. 前記制御回路は、

前記昇圧出力電圧を検出して前記昇圧出力電圧に応じた昇圧出力用誤差信号と、前記反転出力電圧を検出して前記反転出力電圧に応じた反転出力用誤差信号とを出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周し、第1の状態と第2の状態とを示す信号を出力する分周回路と、

前記三角波電圧と昇圧出力用誤差信号と反転出力用誤差信号とが入力され、前記昇圧出力電圧に応じたパルス幅を有する昇圧出力用パルス信号と、前記反転出力電圧

に応じたパルス幅を有する反転出力用パルス信号とを出力するPWM回路と、

前記分周回路の出力と前記昇圧出力用パルス信号と前記反転出力用パルス信号とが入力され、前記分周回路の出力が第1の状態の場合は、前記昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後、前記第1のオフ状態とし、前記分周回路の出力が第2の状態の場合は、前記反転出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後、前記第2のオフ状態とする主スイッチ駆動信号を出力する論理回路と、

を有する請求項3記載の多出力DC-DCコンバータ。

5. 前記昇圧用整流平滑回路が複数具備されており、前記第1のオフ状態の時に前記複数の昇圧用整流平滑回路のいずれか1つを選択する昇圧出力用補助スイッチ回路を有する請求項2記載の多出力DC-DCコンバータ。

6. 前記昇圧出力用補助スイッチ回路は、第1から第 n (n は自然数)の昇圧出力用補助スイッチにより構成され、

前記複数の昇圧用整流平滑回路は、第1の昇圧出力用整流手段と第1の昇圧出力用平滑手段との直列回路からなって第1の昇圧出力電圧を出力する第1の昇圧用整流平滑回路と、前記第 k ($k=1\sim n$)の昇圧出力用補助ス

スイッチと第 $(k + 1)$ の昇圧出力用整流手段と第 $(k + 1)$ の昇圧出力用平滑手段との直列回路からなって第 $(k + 1)$ の昇圧出力電圧を出力する第 $(k + 1)$ の昇圧用整流平滑回路とにより構成されており、

前記第 2 の主スイッチがオン状態且つ前記第 1 から第 n の全ての昇圧出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 1 の昇圧出力電圧が所望の値となるよう制御し、前記第 2 の主スイッチがオン状態且つ前記第 k の昇圧出力用補助スイッチのオン期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(k + 1)$ の昇圧出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態となるよう設けられた期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記反転出力電圧が所望の値となるよう制御する制御回路を有する、請求項 5 記載の多出力 DC - DC コンバータ。

7. 前記制御回路は、

前記 $(n + 1)$ 個の昇圧出力電圧を検出して前記 $(n + 1)$ 個の昇圧出力電圧に応じた $(n + 1)$ 個の昇圧出力用誤差信号と、前記反転出力電圧を検出し、前記反転出力電圧に応じた反転出力用誤差信号とを出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周して、前記 $(n + 1)$ 個の昇圧出力電圧と前記反転出力電圧の内いずれか一つを選択する信号を出力する分周回路と、

前記三角波電圧と $(n + 1)$ 個の昇圧出力用誤差信号と反転出力用誤差信号とが入力され、前記 $(n + 1)$ 個の昇圧出力電圧に応じたパルス幅を有する $(n + 1)$ 個の昇圧出力用パルス信号と、前記反転出力電圧に応じたパルス幅を有する反転出力用パルス信号とを出力する PWM 回路と、

前記分周回路の出力と前記 $(n + 1)$ 個の昇圧出力用パルス信号と前記反転出力用パルス信号とが入力され、前記分周回路の出力が第 1 の昇圧出力電圧を選択している場合は、前記昇圧出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第 1 の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第 1 のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が第 $(k + 1)$ (k は n 以下の自然数) の昇圧出力電圧を選択している場合は、前記第 $(k + 1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(k + 1)$ の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第 1 のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が前

記反転出力電圧を選択している場合は、前記反転出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第2のオフ状態とするよう主スイッチ回路を駆動する主スイッチ駆動信号と昇圧出力用補助スイッチ駆動信号とを出力する論理回路と、

を有する請求項6記載の多出力DC-DCコンバータ。

8. 前記反転用整流平滑回路が複数具備されており、前記第2のオフ状態の時に前記複数の反転用整流平滑回路のいずれか1つを選択している反転出力用補助スイッチ回路を有する請求項2記載の多出力DC-DCコンバータ。

9. 前記反転出力用補助スイッチ回路は、第1から第 m (m は自然数)の反転出力用補助スイッチにより構成され、

前記複数の反転用整流平滑回路は、第1の反転出力用整流手段と第1の反転出力用平滑手段との直列回路からなって第1の反転出力電圧を出力する第1の反転用整流平滑回路と、前記第 j ($j = 1 \sim m$)の反転出力用補助スイッチと第 $(j + 1)$ の反転出力用整流手段と第 $(j + 1)$ の反転出力用平滑手段との直列回路からなって第 $(j + 1)$ の反転出力電圧を出力する第 $(j + 1)$ の反転用整流平滑回路とにより構成されており、

前記第2の主スイッチがオン状態となるよう設けられ

た期間内に前記第1の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記昇圧出力電圧が所望の値となるよう制御し、前記第1の主スイッチがオン状態且つ前記第1から第mの全ての反転出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第2の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記第1の反転出力電圧が所望の値となるよう制御し、前記第1の主スイッチがオン状態且つ前記第jの反転出力用補助スイッチのオン期間内に前記第2の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記第(j+1)の反転出力電圧が所望の値となるよう制御する制御回路を有する、請求項8記載の多出力DC-DCコンバータ。

10. 前記昇圧用整流平滑回路が複数具備されており、前記第1のオフ状態の時に前記複数の昇圧用整流平滑回路のいずれか1つを選択している昇圧出力用補助スイッチ回路と、

前記反転用整流平滑回路が複数具備されており、前記第2のオフ状態の時に前記複数の反転用整流平滑回路のいずれか1つを選択している反転出力用補助スイッチ回路を有する請求項2記載の多出力DC-DCコンバータ。

11. 前記昇圧出力用補助スイッチ回路は、第1から

第 n (n は自然数) の昇圧出力用補助スイッチにより構成され、

前記複数の昇圧用整流平滑回路は、第 1 の昇圧出力用整流手段と第 1 の昇圧出力用平滑手段との直列回路からなって第 1 の昇圧出力電圧を出力する第 1 の昇圧用整流平滑回路と、前記第 k ($k = 1 \sim n$) の昇圧出力用補助スイッチと第 ($k + 1$) の昇圧出力用整流手段と第 ($k + 1$) の昇圧出力用平滑手段との直列回路からなって第 ($k + 1$) の昇圧出力電圧を出力する第 ($k + 1$) の昇圧用整流平滑回路とにより構成され、

前記反転出力用補助スイッチ回路は、第 1 から第 m (m は自然数) の反転出力用補助スイッチにより構成され、

前記複数の反転用整流平滑回路は、第 1 の反転出力用整流手段と第 1 の反転出力用平滑手段との直列回路からなって第 1 の反転出力電圧を出力する第 1 の反転用整流平滑回路と、前記第 j ($j = 1 \sim m$) の反転出力用補助スイッチと第 ($j + 1$) の反転出力用整流手段と第 ($j + 1$) の反転出力用平滑手段との直列回路からなって第 ($j + 1$) の反転出力電圧を出力する第 ($j + 1$) の反転用整流平滑回路とにより構成されており、

前記第 2 の主スイッチがオン状態且つ前記第 1 から第 n の全ての昇圧出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第

1 の昇圧出力電圧が所望の値となるよう制御し、前記第 2 の主スイッチがオン状態且つ前記第 k の昇圧出力用補助スイッチのオン期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(k + 1)$ の昇圧出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態且つ前記第 1 から第 m の全ての反転出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 1 の反転出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態且つ前記第 j の補助スイッチのオン期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(j + 1)$ の反転出力電圧が所望の値となるよう制御する制御回路を有する、

請求項 10 記載の多出力 DC-DC コンバータ。

12. 前記制御回路は、

前記 $(n + 1)$ 個の昇圧出力電圧を検出して前記 $(n + 1)$ 個の昇圧出力電圧に応じた $(n + 1)$ 個の昇圧出力用誤差信号と、前記 $(m + 1)$ 個の反転出力電圧を検出し、前記 $(m + 1)$ 個の反転出力電圧に応じた $(m + 1)$ 個の反転出力用誤差信号とを出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周して、前記 $(n + 1)$ 個の昇圧出力電圧と前記 $(m + 1)$ 個の反転出力電圧の内いずれか一つを選択する信号を出力する分周回路と、

前記三角波電圧と前記 $(n + 1)$ 個の昇圧出力用誤差信号と前記 $(m + 1)$ 個の反転出力用誤差信号とが入力され、前記 $(n + 1)$ 個の昇圧出力電圧に応じたパルス幅を有する $(n + 1)$ 個の昇圧出力用パルス信号と、前記 $(m + 1)$ 個の反転出力電圧に応じたパルス幅を有する $(m + 1)$ 個の反転出力用パルス信号とを出力する PWM 回路と、

前記分周回路の出力と前記 $(n + 1)$ 個の昇圧出力用パルス信号と前記 $(m + 1)$ 個の反転出力用パルス信号とが入力され、前記分周回路の出力が第 1 の昇圧出力電圧を選択している場合は、前記昇圧出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第 1 の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第 1 のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が第 $(k + 1)$ (k は n 以下の自然数) の昇圧出力電圧を選択している場合は、前記第 $(k + 1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(k + 1)$ の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第 1 のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が前記第 1 の反転出力電圧を選択している

場合は、前記反転出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第1の反転出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第2のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が第 $(j+1)$ (j は m 以下の自然数)の昇圧出力電圧を選択している場合は、前記第 $(j+1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(j+1)$ の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第1のオフ状態とするよう主スイッチ回路を駆動するよう主スイッチ駆動信号と昇圧出力用補助スイッチ駆動信号と反転出力用補助スイッチ駆動信号とを出力する論理回路と、

を有する請求項1記載の多出力DC-DCコンバータ。

13. 所定のスイッチング周期で動作し、前記スイッチング周期内の所定のオン期間だけ、入力直流電源からの入力電圧を少なくとも一つのインダクタへ印加する主スイッチ回路と、

前記スイッチング周期内の前記所定のオン期間後に前記インダクタに発生するフライバック電圧を、前記入力直流電源に加えるよう整流平滑した昇圧出力電圧を得る単一もしくは複数の昇圧出力電圧形成手段と、

前記入力直流電源に対して負電位となるよう整流平滑

した反転出力電圧を得る単一もしくは複数の反転出力電圧形成手段とを有し、

前記スイッチング周期が前記各出力電圧のいずれか一つを制御する期間に割り当てられ、該出力電圧を得る手段を選択するとともに、選択された該出力電圧を制御するよう前記所定のオン期間を調整するよう構成されたことを特徴とする多出力D C - D Cコンバータ。

1 4 . 入力直流電源と、

前記入力直流電源の負極に一端が接続された第1の主スイッチと整流手段と平滑手段との直列回路を有する昇圧用整流平滑回路と、

前記入力直流電源の正極に一端が接続された第2の主スイッチと整流手段と平滑手段との直列回路を有する反転用整流平滑回路と、

前記第1の主スイッチの他端と前記第2の主スイッチの他端との間に接続された少なくとも一つのインダクタと、

を具備することを特徴とする多出力D C - D Cコンバータ。

1 5 . 前記第1の主スイッチと前記第2の主スイッチをそれぞれ所定のオン期間とオフ期間で駆動するとともに、前記第1の主スイッチのオンオフ期間比を前記昇圧用整流平滑回路から出力される昇圧出力電圧が所望の値

となるよう制御し、前記第2の主スイッチのオンオフ期間比を前記反転用整流平滑回路から出力される反転出力電圧が所望の値となるよう制御する制御回路を有する請求項14記載の多出力DC-DCコンバータ。

16. 前記制御回路は、

前記昇圧出力電圧を検出して前記昇圧出力電圧に応じた昇圧出力用誤差信号と、前記反転出力電圧を検出して前記反転出力電圧に応じた反転出力用誤差信号を出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周し、第1の状態と第2の状態とを示す信号を出力する分周回路と、

前記三角波電圧と昇圧出力用誤差信号と反転出力用誤差信号を入力とが入力され、前記昇圧出力電圧に応じたパルス幅を有する昇圧出力用パルス信号と、前記反転出力電圧に応じたパルス幅を有する反転出力用パルス信号とを出力するPWM回路と、

前記分周回路の出力と前記昇圧出力用パルス信号と前記反転出力用パルス信号とが入力され、前記分周回路の出力が第1の状態の場合は、前記昇圧出力用パルス信号で設定された期間だけ前記第1の主スイッチと前記第2の主スイッチをともにオン状態とした後、前記第2の主スイッチのみをオフ状態とし、前記分周回路の出力が第

2 の状態の場合は、前記反転出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと前記第 2 の主スイッチをともにオン状態とした後、前記第 1 の主スイッチのみをオフ状態とするよう主スイッチ駆動信号を出力する論理回路と、

を有する請求項 1 5 記載の多出力 DC-DC コンバータ。

1 7 . 前記昇圧用整流平滑回路が複数具備されており、前記第 1 の主スイッチのオフ状態の時に、前記複数の昇圧用整流平滑回路のいずれか 1 つを選択する昇圧出力用補助スイッチ回路を有する請求項 1 4 記載の多出力 DC-DC コンバータ。

1 8 . 前記昇圧出力用補助スイッチ回路は、第 1 から第 n (n は自然数) の昇圧出力用補助スイッチにより構成され、

前記複数の昇圧用整流平滑回路は、第 1 の昇圧出力用整流手段と第 1 の昇圧出力用平滑手段との直列回路からなって第 1 の昇圧出力電圧を出力する第 1 の昇圧用整流平滑回路と、前記第 k ($k = 1 \sim n$) の昇圧出力用補助スイッチと第 $(k + 1)$ の昇圧出力用整流手段と第 $(k + 1)$ の昇圧出力用平滑手段との直列回路からなって第 $(k + 1)$ の昇圧出力電圧を出力する第 $(k + 1)$ の昇圧用整流平滑回路とにより構成されており、

前記第 2 の主スイッチがオン状態且つ前記第 1 から第 n の全ての昇圧出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 1 の昇圧出力電圧が所望の値となるよう制御し、前記第 2 の主スイッチがオン状態且つ前記第 k の昇圧出力用補助スイッチのオン期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(k + 1)$ の昇圧出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態となるよう設けられた期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記反転出力電圧が所望の値となるよう制御する制御回路を有する、請求項 17 記載の多出力 DC-DC コンバータ。

19. 前記制御回路は、

前記 $(n + 1)$ 個の昇圧出力電圧を検出して前記 $(n + 1)$ 個の昇圧出力電圧に応じた $(n + 1)$ 個の昇圧出力用誤差信号と、前記反転出力電圧を検出し、前記反転出力電圧に応じた反転出力用誤差信号とを出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周して、前記 $(n + 1)$ 個の昇圧出力電圧と前記反転出力電圧の内いずれか一つ

を選択する信号を出力する分周回路と、

前記三角波電圧と $(n + 1)$ 個の昇圧出力用誤差信号と反転出力用誤差信号とが入力され、前記 $(n + 1)$ 個の昇圧出力電圧に応じたパルス幅を有する $(n + 1)$ 個の昇圧出力用パルス信号と、前記反転出力電圧に応じたパルス幅を有する反転出力用パルス信号とを出力する PWM 回路と、

前記分周回路の出力と前記 $(n + 1)$ 個の昇圧出力用パルス信号と前記反転出力用パルス信号とが入力され、前記分周回路の出力が第 1 の昇圧出力電圧を選択している場合は、前記昇圧出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第 1 の昇圧出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと第 2 の主スイッチをとともにオン状態とした後に、前記第 1 の主スイッチをオフ状態とし、前記分周回路の出力が第 $(k + 1)$ (k は n 以下の自然数) の昇圧出力電圧を選択している場合は、前記第 $(k + 1)$ の昇圧出力用補助スイッチのみをオン状態にするとともに、前記第 $(k + 1)$ の昇圧出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと第 2 の主スイッチをとともにオン状態とした後に、前記第 1 の主スイッチをオフ状態とし、前記分周回路の出力が前記反転出力電圧を選択している場合は、前記反転出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと第 2 の主スイッチをとともにオン状態とした後に、前記第 2 の主スイッチをオフ状態とするよう

駆動する主スイッチ駆動信号と昇圧出力用補助スイッチ駆動信号とを出力する論理回路と、

を有する請求項 1 8 記載の多出力 D C - D C コンバータ。

20. 前記反転用整流平滑回路が複数具備されており、前記第 2 の主スイッチのオフ状態の時に、前記複数の反転用整流平滑回路のいずれか 1 つを選択している反転出力用補助スイッチ回路を有する請求項 1 4 記載の多出力 D C - D C コンバータ。

21. 前記反転出力用補助スイッチ回路は、第 1 から第 m (m は自然数) の反転出力用補助スイッチにより構成され、

前記複数の反転用整流平滑回路は、第 1 の反転出力用整流手段と第 1 の反転出力用平滑手段との直列回路からなって第 1 の反転出力電圧を出力する第 1 の反転用整流平滑回路と、前記第 j ($j = 1 \sim m$) の反転出力用補助スイッチと第 ($j + 1$) の反転出力用整流手段と第 ($j + 1$) の反転出力用平滑手段との直列回路からなって第 ($j + 1$) の反転出力電圧を出力する第 ($j + 1$) の反転用整流平滑回路とにより構成されており、

前記第 2 の主スイッチがオン状態となるよう設けられた期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記昇圧出力電圧

が所望の値となるよう制御し、前記第1の主スイッチがオン状態且つ前記第1から第 m の全ての反転出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第2の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記第1の反転出力電圧が所望の値となるよう制御し、前記第1の主スイッチがオン状態且つ前記第 j の反転出力用補助スイッチのオン期間内に前記第2の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記第 $(j+1)$ の反転出力電圧が所望の値となるよう制御する制御回路を有する、請求項20記載の多出力DC-DCコンバータ。

22. 前記昇圧用整流平滑回路が複数具備されており、前記第1の主スイッチのオフ状態の時に前記複数の昇圧用整流平滑回路のいずれか1つを選択している昇圧出力用補助スイッチ回路と、

前記反転用整流平滑回路が複数具備されており、前記第2主スイッチのオフ状態の時に前記複数の反転用整流平滑回路のいずれか1つを選択している反転出力用補助スイッチ回路を有する請求項14記載の多出力DC-DCコンバータ。

23. 前記昇圧出力用補助スイッチ回路は、第1から第 n (n は自然数)の昇圧出力用補助スイッチにより構成され、

前記複数の昇圧用整流平滑回路は、第1の昇圧出力用整流手段と第1の昇圧出力用平滑手段との直列回路からなって第1の昇圧出力電圧を出力する第1の昇圧用整流平滑回路と、前記第 k ($k = 1 \sim n$)の昇圧出力用補助スイッチと第 $(k + 1)$ の昇圧出力用整流手段と第 $(k + 1)$ の昇圧出力用平滑手段との直列回路からなって第 $(k + 1)$ の昇圧出力電圧を出力する第 $(k + 1)$ の昇圧用整流平滑回路とにより構成され、

前記反転出力用補助スイッチ回路は、第1から第 m (m は自然数)の反転出力用補助スイッチにより構成され、

前記複数の反転用整流平滑回路は、第1の反転出力用整流手段と第1の反転出力用平滑手段との直列回路からなって第1の反転出力電圧を出力する第1の反転用整流平滑回路と、前記第 j ($j = 1 \sim m$)の反転出力用補助スイッチと第 $(j + 1)$ の反転出力用整流手段と第 $(j + 1)$ の反転出力用平滑手段との直列回路からなって第 $(j + 1)$ の反転出力電圧を出力する第 $(j + 1)$ の反転用整流平滑回路とにより構成されており、

前記第2の主スイッチがオン状態且つ前記第1から第 n の全ての昇圧出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第1の主スイッチが少なくとも1回はオンオフ動作し、そのオンオフ期間比を前記第1の昇圧出力電圧が所望の値となるよう制御し、前記第2の主スイッチがオン状態且つ前記第 k の昇圧出力用補

助スイッチのオン期間内に前記第 1 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(k + 1)$ の昇圧出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態且つ前記第 1 から第 m の全ての反転出力用補助スイッチがオフ状態となるよう設けられた期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 1 の反転出力電圧が所望の値となるよう制御し、前記第 1 の主スイッチがオン状態且つ前記第 j の補助スイッチのオン期間内に前記第 2 の主スイッチが少なくとも 1 回はオンオフ動作し、そのオンオフ期間比を前記第 $(j + 1)$ の反転出力電圧が所望の値となるよう制御する制御回路を有する、

請求項 22 記載の多出力 D.C. - D.C コンバータ。

24. 前記制御回路は、

前記 $(n + 1)$ 個の昇圧出力電圧を検出して前記 $(n + 1)$ 個の昇圧出力電圧に応じた $(n + 1)$ 個の昇圧出力用誤差信号と、前記 $(m + 1)$ 個の反転出力電圧を検出し、前記 $(m + 1)$ 個の反転出力電圧に応じた $(m + 1)$ 個の反転出力用誤差信号とを出力する検出回路と、

所定のスイッチング周波数を有する三角波電圧を出力する発振回路と、

前記スイッチング周波数を分周して、前記 $(n + 1)$ 個の昇圧出力電圧と前記 $(m + 1)$ 個の反転出力電圧の

内いずれか一つを選択する信号を出力する分周回路と、

前記三角波電圧と前記 $(n + 1)$ 個の昇圧出力用誤差信号と前記 $(m + 1)$ 個の反転出力用誤差信号とが入力され、前記 $(n + 1)$ 個の昇圧出力電圧に応じたパルス幅を有する $(n + 1)$ 個の昇圧出力用パルス信号と、前記 $(m + 1)$ 個の反転出力電圧に応じたパルス幅を有する $(m + 1)$ 個の反転出力用パルス信号とを出力する PWM 回路と、

前記分周回路の出力と前記 $(n + 1)$ 個の昇圧出力用パルス信号と前記 $(m + 1)$ 個の反転出力用パルス信号とが入力され、前記分周回路の出力が第 1 の昇圧出力電圧を選択している場合は、前記昇圧出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第 1 の昇圧出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと前記第 2 の主スイッチをともにオン状態とした後に、前記第 1 の主スイッチをオフ状態とし、前記分周回路の出力が第 $(k + 1)$ (k は n 以下の自然数) の昇圧出力電圧を選択している場合は、前記第 $(k + 1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(k + 1)$ の昇圧出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと前記第 2 の主スイッチをともにオン状態とした後に、前記第 1 の主スイッチをオフ状態とし、前記分周回路の出力が前記第 1 の反転出力電圧を選択している場合は、前記反転出力用補助スイッチ回路をすべてオフ状態にするとともに、前記

第 1 の反転出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと前記第 2 の主スイッチをともにオン状態とした後に、前記第 2 の主スイッチをオフ状態とし、前記分周回路の出力が第 $(j + 1)$ (j は m 以下の自然数) の昇圧出力電圧を選択している場合は、前記第 $(j + 1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(j + 1)$ の昇圧出力用パルス信号で設定された期間だけ前記第 1 の主スイッチと前記第 2 の主スイッチをともにオン状態とした後に、前記第 1 の主スイッチをオフ状態とするよう主スイッチ駆動信号と昇圧出力用補助スイッチ駆動信号と反転出力用補助スイッチ駆動信号とを出力する論理回路と、

を有する請求項 23 記載の多出力 DC-DC コンバータ。

補正書の請求の範囲

補正書の請求の範囲 [2003年1月23日 (23. 01. 03) 国際事務局受理：
出願当初の請求の範囲13は補正された；他の請求の範囲は変更なし。(3頁)]

場合は、前記反転出力用補助スイッチ回路をすべてオフ状態にするとともに、前記第1の反転出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第2のオフ状態とするよう主スイッチ回路を駆動し、前記分周回路の出力が第 $(j+1)$ (j は m 以下の自然数)の昇圧出力電圧を選択している場合は、前記第 $(j+1)$ の昇圧出力用補助スイッチ回路のみをオン状態にするとともに、前記第 $(j+1)$ の昇圧出力用パルス信号で設定された期間だけ前記主スイッチ回路のオン状態とした後に、前記第1のオフ状態とするよう主スイッチ回路を駆動するよう主スイッチ駆動信号と昇圧出力用補助スイッチ駆動信号と反転出力用補助スイッチ駆動信号とを出力する論理回路と、

を有する請求項11記載の多出力DC-DCコンバータ。

13. (補正後) 所定のスイッチング周期で動作し、前記スイッチング周期内の所定のオン期間だけ、入力直流電源からの入力電圧を一つのインダクタへ印加する主スイッチ回路と、

前記スイッチング周期内の前記所定のオン期間後に前記インダクタに発生するフライバック電圧を、前記入力直流電源に加えるよう整流平滑して昇圧出力電圧を得る単一もしくは複数の昇圧出力電圧形成手段と、

前記スイッチング周期内の前記所定のオン期間後に前

補正された用紙 (条約第19条)

記インダクタに発生するフライバック電圧を、前記入力直流電源に対して負電位となるよう整流平滑して反転出力電圧を得る単一もしくは複数の反転出力電圧形成手段とを有し、

前記スイッチング周期が前記各出力電圧のいずれか一つを制御する期間に割り当てられ、該出力電圧を得る手段を選択するとともに、選択された該出力電圧を制御するよう前記所定のオン期間を調整するよう構成されたことを特徴とする多出力DC-DCコンバータ。

14. 入力直流電源と、

前記入力直流電源の負極に一端が接続された第1の主スイッチと整流手段と平滑手段との直列回路を有する昇圧用整流平滑回路と、

前記入力直流電源の正極に一端が接続された第2の主スイッチと整流手段と平滑手段との直列回路を有する反転用整流平滑回路と、

前記第1の主スイッチの他端と前記第2の主スイッチの他端との間に接続された少なくとも一つのインダクタと、

を具備することを特徴とする多出力DC-DCコンバータ。

15. 前記第1の主スイッチと前記第2の主スイッチをそれぞれ所定のオン期間とオフ期間で駆動するととも

に、前記第1の主スイッチのオンオフ期間比を前記昇圧用整流平滑回路から出力される昇圧出力電圧が所望の値

条約第 19 条 (1) に基づく説明書

請求の範囲第 13 項は、昇圧出力電圧形成手段がスイッチング周期内の所定のオン期間後にインダクタに発生するフライバック電圧を、入力直流電源に加えるよう整流平滑して昇圧出力電圧を形成し、反転出力電圧形成手段がスイッチング周期内の所定のオン期間後にインダクタに発生するフライバック電圧を、入力直流電源に対して負電位となるよう整流平滑して反転出力電圧を形成する構成であり、この構成により本発明と引用文献との違いを明確にしました。

引用例の US 5 8 9 6 2 8 4 の図 1 1 及び JP 9 - 5 6 1 5 0 の図 1 に開示された回路図は「降圧コンバータ」であり、本発明の請求の範囲第 13 項に記載の「昇圧出力電圧形成手段」と構成が異なります。引用例の US 5 8 9 6 2 8 4 の図 1 1 に開示されている "auxiliary power supply circuit 84" 及び JP 9 - 5 6 1 5 0 の図 1 に開示されている「補助電源回路 34」は、本発明の「反転出力電圧形成手段」のようにインダクタのフライバック電圧を整流平滑するのではなく、"DC power supply 54" 及び「直流電力源 4」の電圧を整流平滑しています。引用例の US 5 8 9 6 2 8 4 の図 1 2 に開示されている "auxiliary power supply circuit 84" 及び JP 9 - 5 6 1 5 0 の図 2 に開示されている「補助電源回路 34」は、本発明の「反転出力電圧形成手段」のように

インダクタのフライバック電圧を整流平滑するのではなく、"DC power supply 54"及び「直流電力源4」にインダクタのフライバック電圧を加算した電圧を出力しています。この出力電圧は正電圧出力回路の出力電圧にほぼ等しい負の電圧（"a negative voltage substancially equal to an output voltage）であります。

引用例のJP10-262366に開示された回路図には「コイルL1」と「コイルL2」の2つのインダクタを用いており、本発明の請求の範囲第13項に記載の「一つのインダクタ」と異なります。

図 1

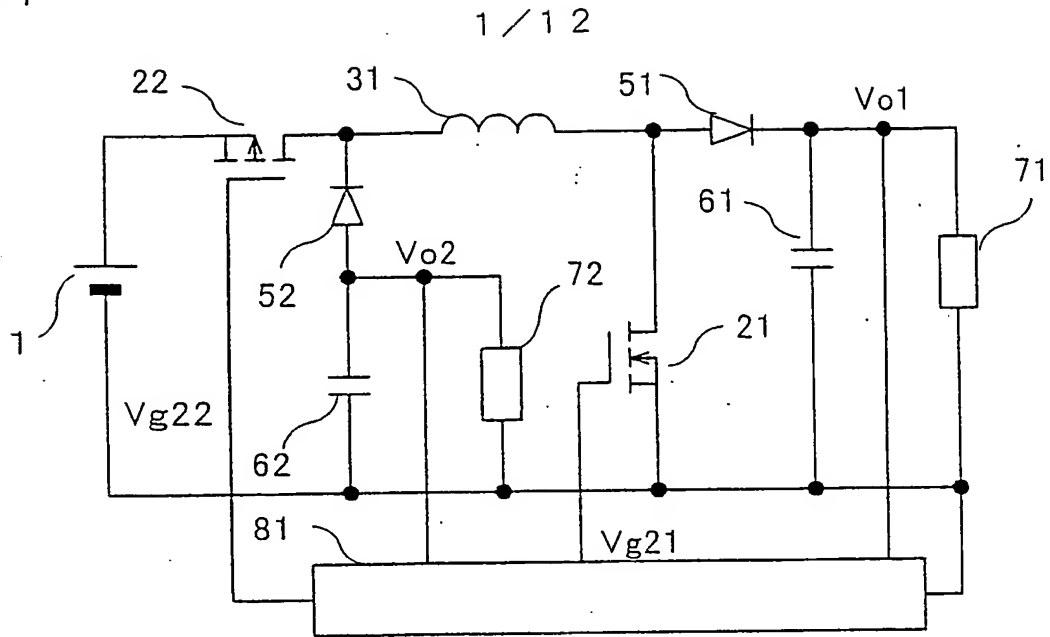


図 2

2 / 1 2

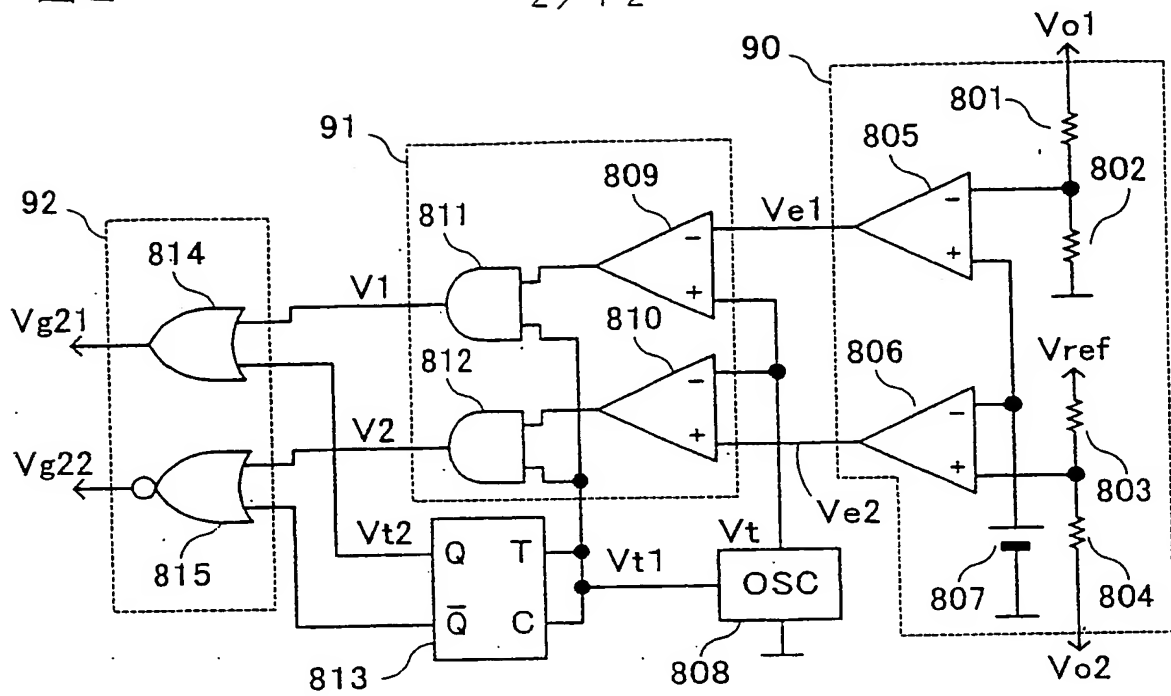


図 3

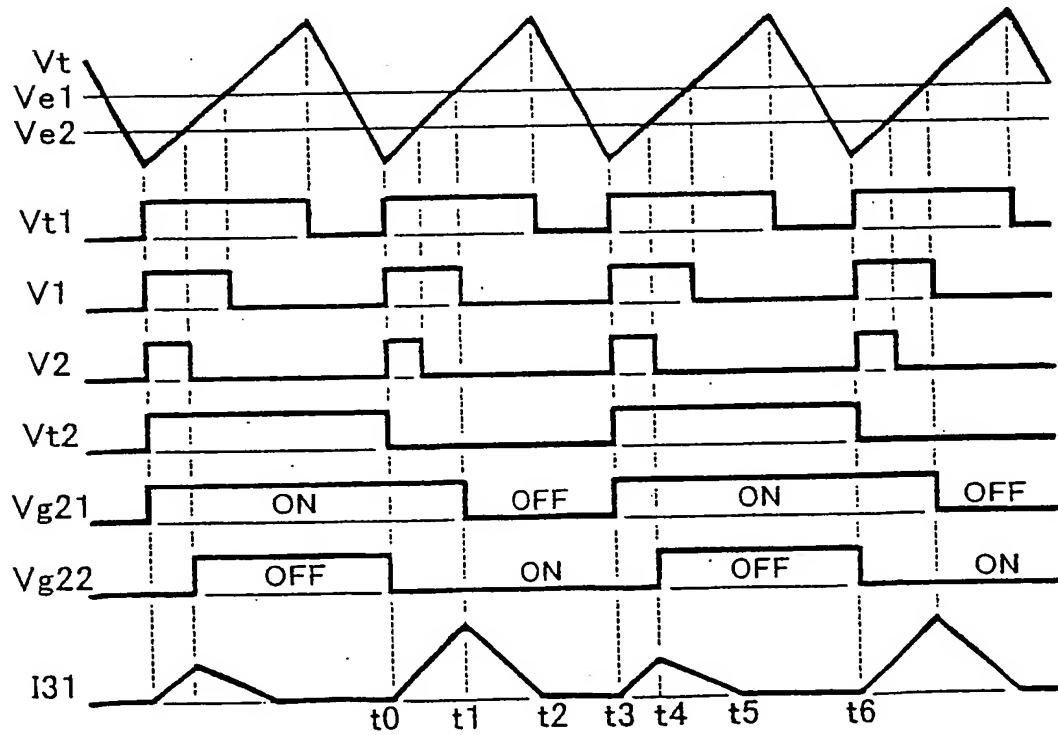


图 4

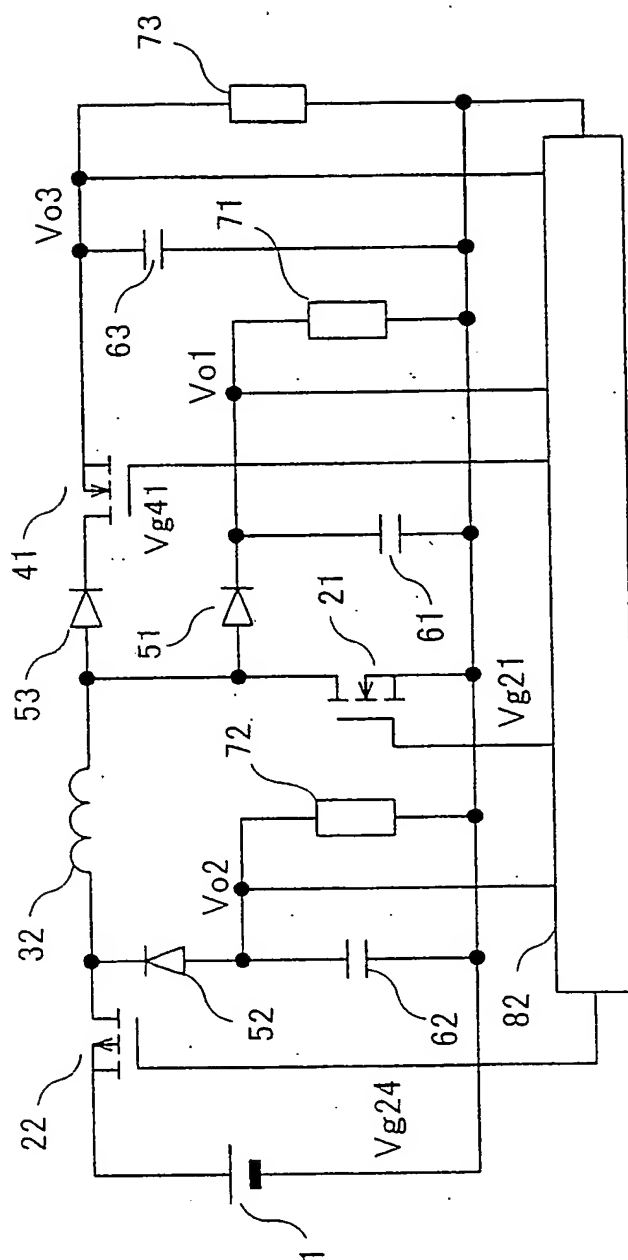
 $3/12$ 

Figure 5 is a circuit diagram of a 3-bit digital-to-analog converter (DAC) with feedback and threshold logic. The circuit is divided into several functional blocks: 93 (Feedback DAC), 94 (Digital Logic), 95 (Threshold Logic), and 96 (Output Logic).

Block 93 (Feedback DAC): This block contains three op-amp comparators (805, 806, 823) and three resistors (801, 802, 803, 804, 821, 822). The inputs are V_{o1} , V_{o2} , and V_{o3} . The outputs are V_{e1} , V_{e2} , and V_{e3} . A reference voltage V_{ref} is applied to the non-inverting inputs of the comparators. A threshold voltage V_t is also applied to the non-inverting inputs of comparators 805 and 806.

Block 94 (Digital Logic): This block contains three AND gates (811, 812, 825) and three OR gates (809, 810, 824). The inputs are V_1 , V_2 , and V_3 . The outputs are V_{e1} , V_{e2} , and V_{e3} .

Block 95 (Threshold Logic): This block contains two D-type flip-flops (813, 826) and a threshold voltage source (808). The inputs are V_t and V_{t1} . The outputs are V_t and V_{t1} .

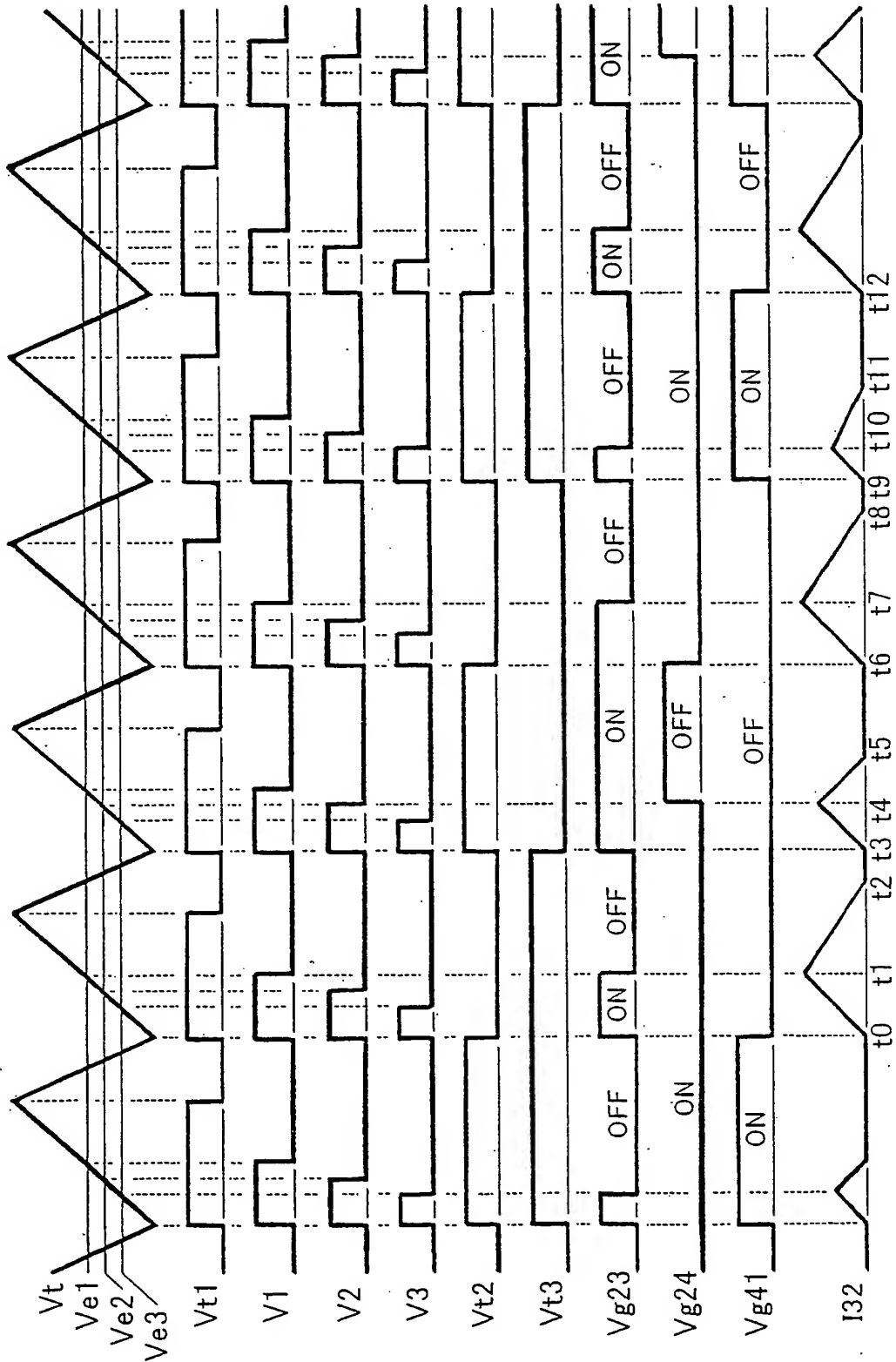
Block 96 (Output Logic): This block contains three AND gates (827, 828, 831) and three OR gates (829, 830, 831). The inputs are V_1 , V_2 , and V_3 . The outputs are V_{g21} , V_{g22} , and V_{g41} .

The circuit is labeled with various components and signals, including V_{o1} , V_{o2} , V_{o3} , V_{e1} , V_{e2} , V_{e3} , V_{ref} , V_t , V_{t1} , V_1 , V_2 , V_3 , V_{g21} , V_{g22} , V_{g41} , and various component numbers (801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831).

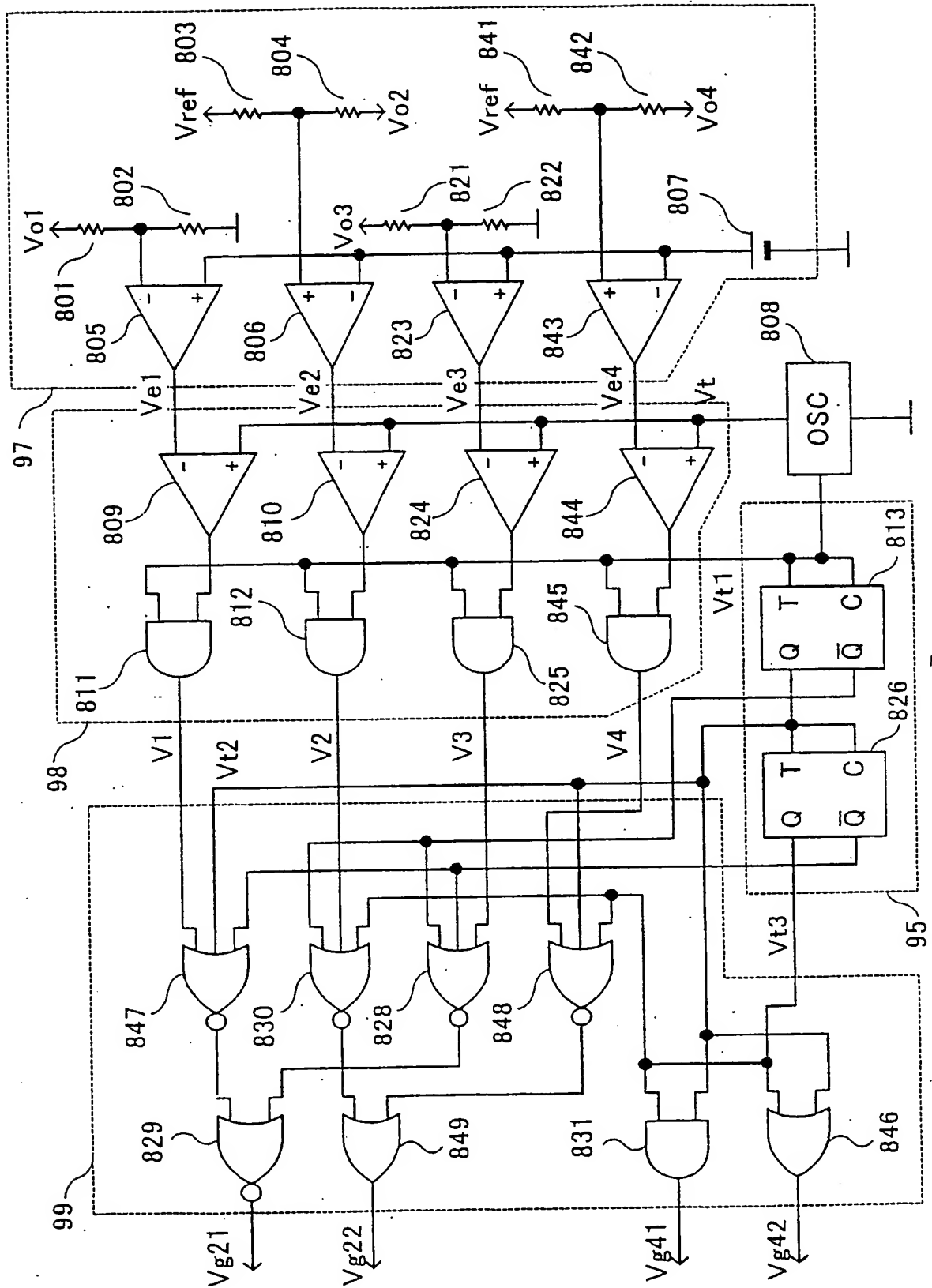
4/12

図 6

5/12



7/12



 9

8 / 1 2

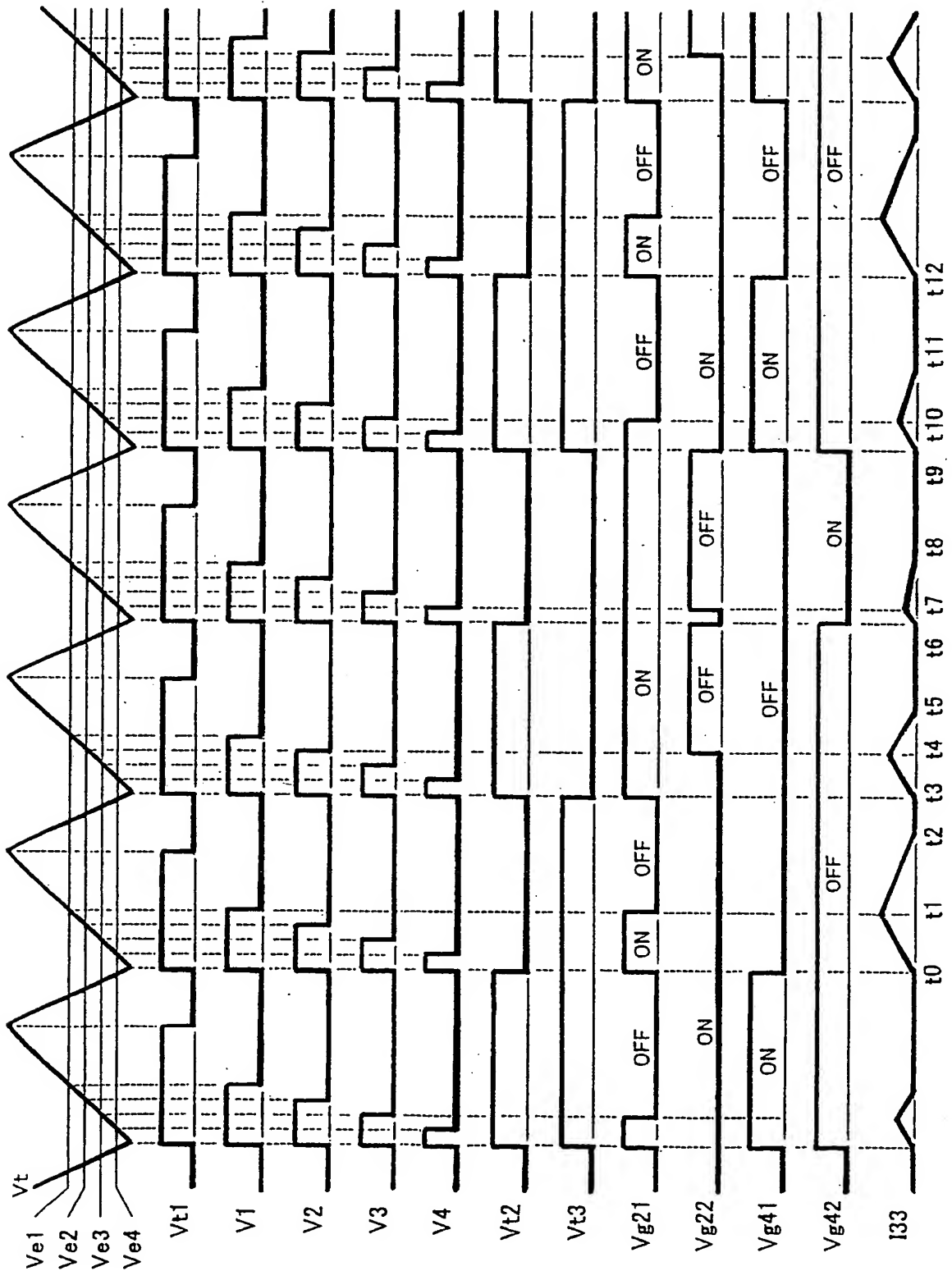


図 10

9 / 12

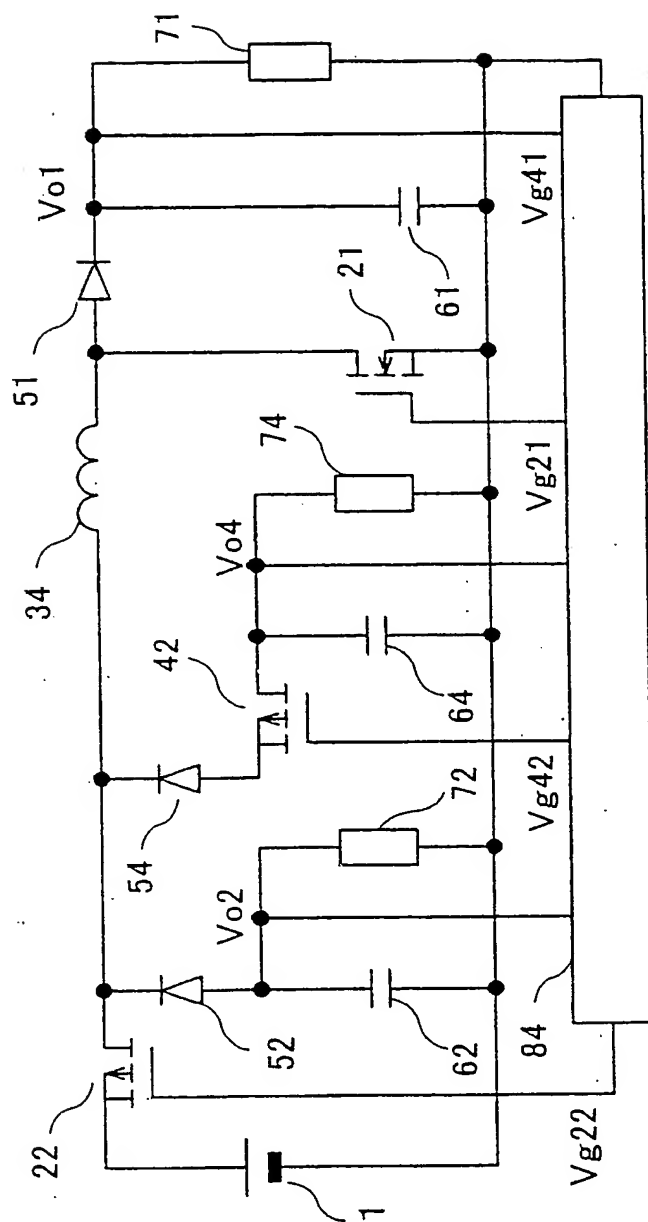
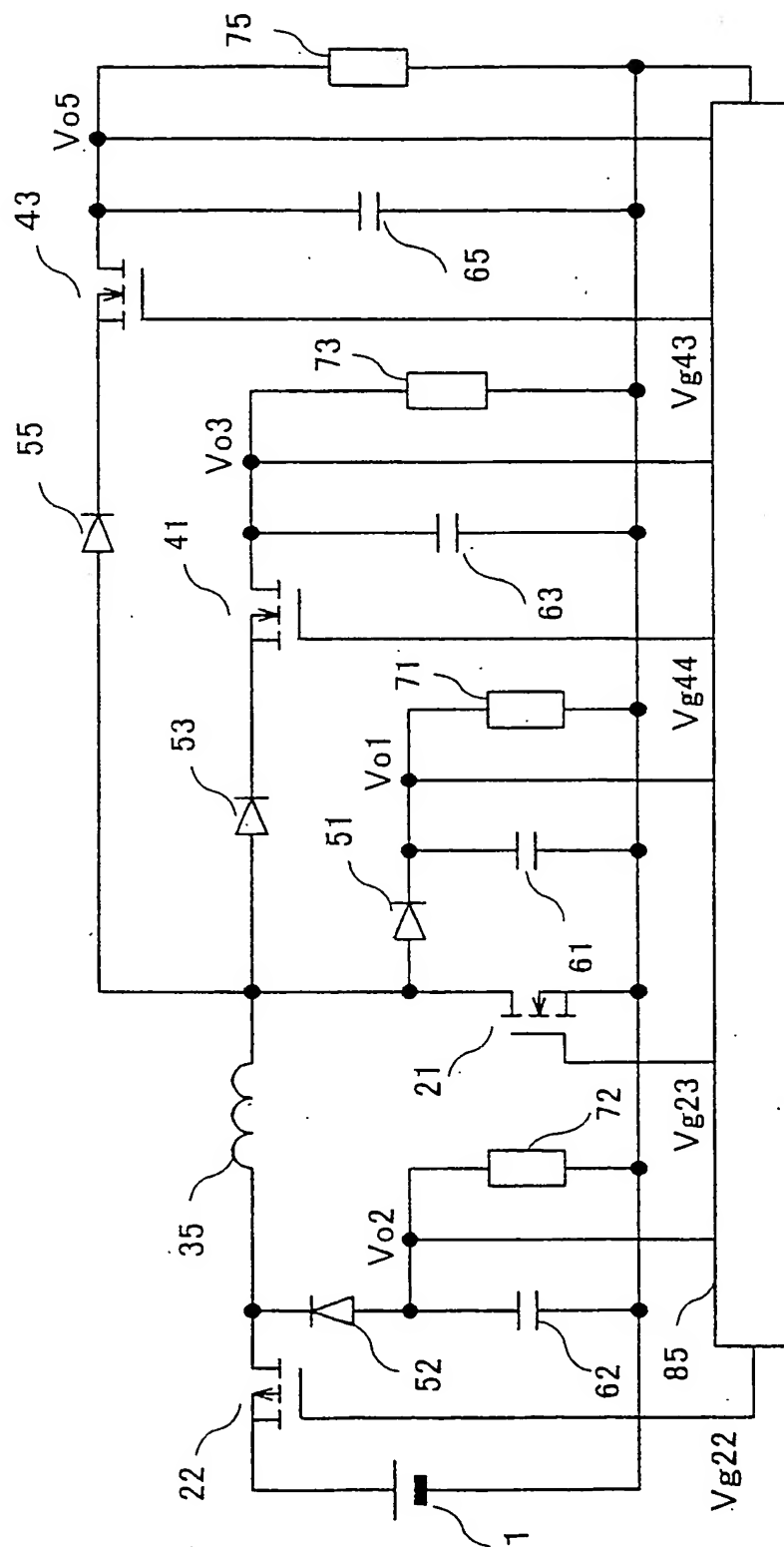


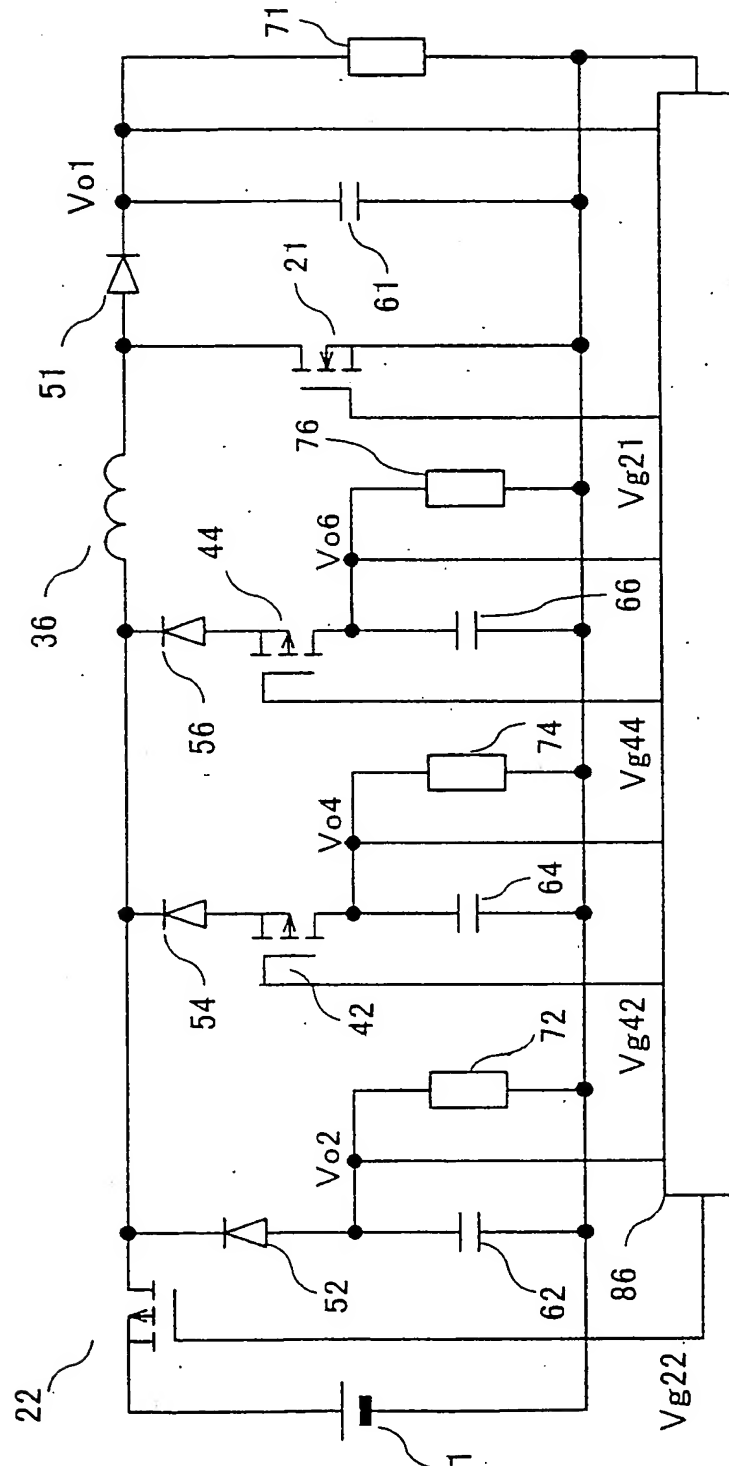
図 1 1

10/12



11/12

図 12



12 / 12

図 13

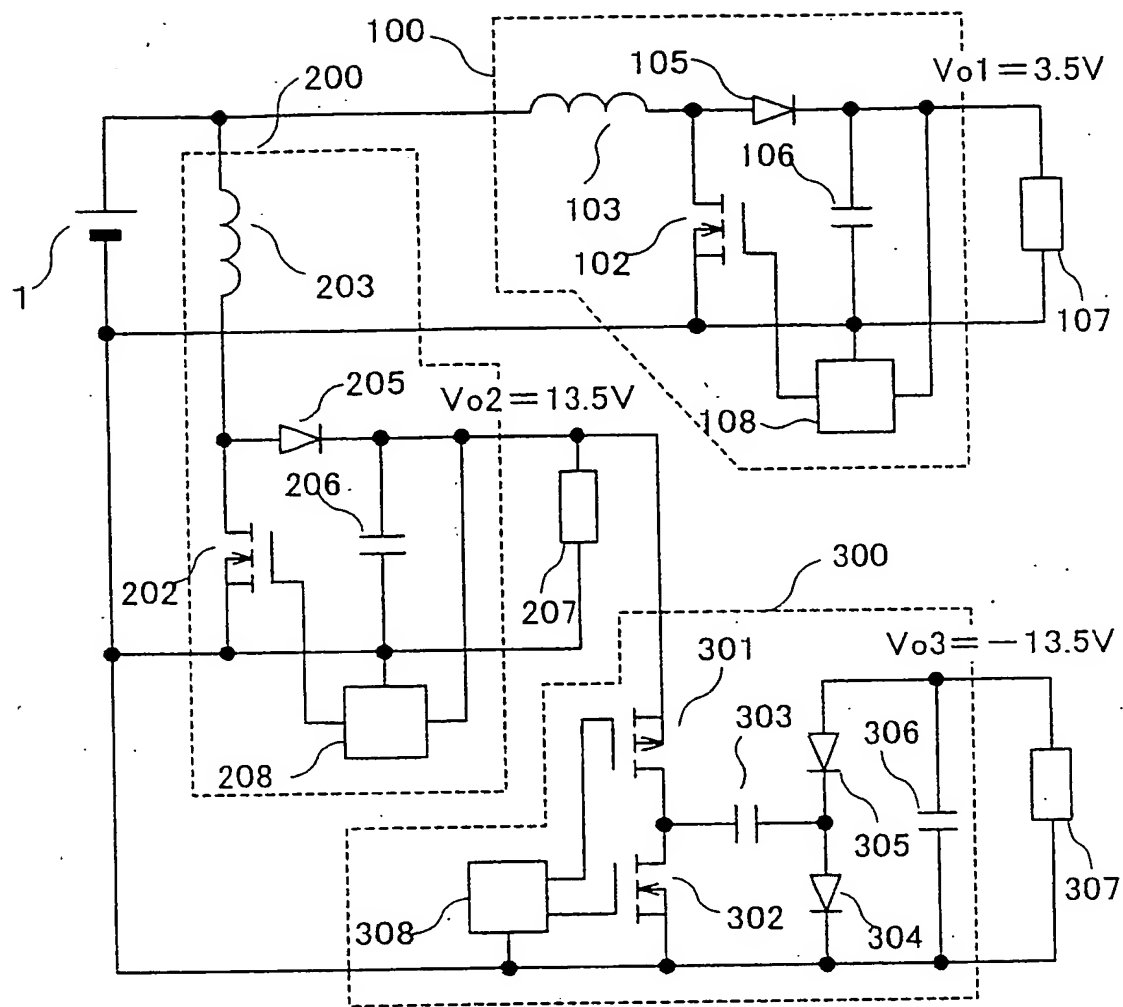
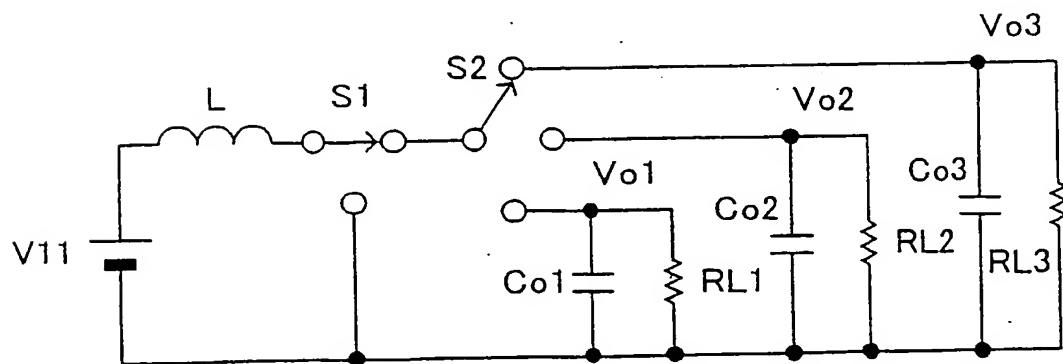


図 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09064

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A X	US 5896284 A1 (Nippon Steel Corp., Yutaka Electric Mfg. Co., Ltd.), 20 April, 1999 (20.04.99), Figs. 11, 12 & JP 9-56150 A Figs. 1, 2	1-12, 14-24 13
A X	JP 10-262366 A (Seiko Epson Corp.), 29 September, 1998 (29.09.98), Figs. 1, 2 (Family: none)	1-12, 14-24 13

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 December, 2002 (05.12.02)Date of mailing of the international search report
24 December, 2002 (24.12.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 5896284 A1 (Nippon Steel Corporation; Yutaka Electric Mfg. Co., Ltd.) 1999. 04. 20, FIG. 1	1-12, 1
X	1, 12 & JP 9-56150 A, 図1, 2	4-24 13
A	JP 10-262366 A (セイコーエプソン株式会社) 1998. 09. 29, 図1, 2 (ファミリーなし)	1-12, 1
X		4-24 13

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05.12.02

国際調査報告の発送日

24.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西村 泰英

3V

9063

電話番号 03-3581-1101 内線 3356